

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 5 日
Date of Application:

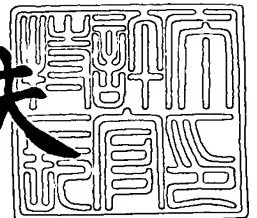
出 願 番 号 特 願 2 0 0 2 - 3 3 2 8 0 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 2 8 0 8]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 4 3 8 5

【書類名】 特許願

【整理番号】 02J02941

【提出日】 平成14年11月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 赤川 正文

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 堀尾 正弘

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

複数の配線が形成された導体層と、
該導体層の複数の配線と重なる領域に形成されたボンディングパッドとを備える半導体装置において、

上記配線の一部がボンディングパッドと接合されている一方、上記配線の他の部分とボンディングパッドとの間に絶縁性の保護膜が形成されており、

少なくともボンディングパッドと重なる領域内の上記配線上の保護膜は、隣り合う配線上の保護膜と橋架していることを特徴とする半導体装置。

【請求項 2】

上記保護膜と上記ボンディングパッドとの間には、上記保護膜を覆うように絶縁膜が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

上記絶縁膜は、化学気相成長法によって形成された酸化膜であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

上記酸化膜は、ホウ素およびリンの少なくとも一方を含むことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

上記導体層は、半導体素子が形成された領域である活性領域を有する半導体基板上に形成され、上記活性領域と電氣的に接続された第 1 配線層上に層間絶縁膜を介して形成された第 2 配線層であり、

ボンディングパッドは、少なくとも一部が上記活性領域と重なるように形成されていることを特徴とする請求項 1 ないし 4 の何れか 1 項に記載の半導体装置。

【請求項 6】

基板上に導体層を形成する工程と、

上記導体層上に絶縁膜を形成する工程と、

上記絶縁膜に開口部を形成する工程と、

上記絶縁膜上と上記開口部内とに金属膜を形成することにより、ボンディングパッドを形成する工程とを含む半導体装置の製造方法において、

上記導体層を形成する工程は、複数の配線を形成する工程を含んでおり、

上記導体層上に絶縁膜を形成する工程は、絶縁性の保護膜を形成する工程を含んでおり、

上記保護膜を形成する工程では、少なくとも上記ボンディングパッドと重なる領域内の上記配線上の保護膜が、隣合う配線上の保護膜と橋架するように上記保護膜を形成することを特徴とする半導体装置の製造方法。

【請求項 7】

上記導体層上に絶縁膜を形成する工程は、上記保護膜を形成する工程により形成された保護膜を覆うように新たな絶縁膜を形成する工程をさらに含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

上記新たな絶縁膜を形成する工程は、化学気相成長法によって上記保護膜を覆うように酸化膜を形成する工程であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

上記酸化膜を形成する工程は、ホウ素およびリンの少なくとも一方を含む酸化膜を形成する工程であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

上記基板上に導体層を形成する工程は、

半導体基板上に半導体素子を形成する工程と、

一部が半導体素子に接続されるように第 1 配線層を形成する工程と、

上記第 1 配線層上に、ビアホールを有する層間絶縁膜を形成する工程と、

上記層間絶縁膜上および上記ビアホール内に第 2 配線層を形成する工程とを含んでおり、

上記ボンディングパッドを形成する工程では、少なくとも一部が上記半導体素

子と重なるように上記ボンディングパッドを形成することを特徴とする請求項6ないし9の何れか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に使用される半導体装置およびその製造方法に関するものである。具体的には、本発明は、基板上に設けられる微細かつ多数の配線と、該配線上に形成されるボンディングパッドとの間の構造に関するものである。

【0002】

【従来の技術】

半導体集積回路は、半導体集積回路が搭載される電子機器の高機能化および高性能化の進展に伴い、集積度（1つのチップ上に集積された半導体素子の数）が増大し、チップサイズが拡大する傾向にある。このようなチップサイズの拡大を回避するために、半導体集積回路には、加工寸法の微細化（デザインルールの縮小）が求められている。

【0003】

半導体集積回路のチップは、チップ内部の動作領域（活性領域とも呼ばれることもある）と、チップ表面に形成されるボンディングパッド領域とに大別することができる。動作領域は、トランジスタ等の半導体素子が形成された領域（活性領域）と、半導体素子間を繋ぐ金属の配線の領域（配線領域）とである。ボンディングパッド領域は、ボンディングパッドが形成される領域である。ボンディングパッドは、半導体集積回路の信号の入出力などのために、例えば金の細線を用いたワイヤボンディング等により外部と電氣的に接続される接続用の電極である。

【0004】

近時、半導体素子の高密度化すなわち集積度の増大化により、素子間を結ぶ金属パターンは複雑化の傾向にあり、また、層間絶縁膜を介して複数の配線層を積層する多層配線構造が主流となっている。これに伴い、例えば液晶駆動用LSI

では外部端子と接続するための端子数も500～1000個へと至っている。このため、動作領域（活性領域）以外のボンディングパッド領域の面積が増大して、半導体集積回路のサイズも大きくなり、携帯電話やPDA（Personal Digital Assistant）等の電子機器の軽薄短小化に逆行することとなる。

【0005】

そこで、チップサイズを縮小する一手法として、半導体基板の前記活性領域上にボンディングパッドを形成させる手法が提案されている。この手法は『エリアパッド』と称されている。以下、エリアパッドに関する従来技術を説明する。

【0006】

図17は、特開2002-198374号公報に開示された2層配線構造の半導体装置におけるエリアパッドの形成例を示している。同図に示される半導体装置では、シリコン基板1の活性領域に第1配線層2が接続され、第1配線層2上に層間絶縁膜6を介して第2配線層7が形成され、第2配線層7上に保護膜8およびポリイミド膜10を介してボンディングパッド14が、シリコン基板1の活性領域と重なるように配置されている。

【0007】

ボンディングパッド14と重なる領域内には、第2配線層7における複数の配線7a・7bが配設されている。ボンディングパッド14は、保護膜8およびポリイミド膜10の開口部9・11を通して、第2配線層7における1本の配線7aと接合している。一方、ボンディングパッド14と他の配線7bとの間には、保護膜8およびポリイミド膜10が介在されている。

【0008】

上記構成の半導体装置では、製造工程の簡略化と装置サイズの縮小化とを両立することができ、さらに、ボンディングパッドの配置位置と半導体素子間の結線との自由度を向上することができる。

【0009】

次に、前記半導体装置の製造方法を、図17～図25に基づいて説明する。まず、図18に示されるように、シリコン（Si）基板1の一主要表面に、半導体集積回路の製造で通常用いられている手順に従って、MOS（Metal Oxide Semi

conductor) トランジスタ等の素子 20 を形成する。

【0010】

次に、化学気相成長法 (Chemical Vapor Deposition) (以下、CVD法と略称する) により、シリコン基板 1 の前記表面全体に絶縁膜 25 を所定の厚さ分堆積する。これにより、活性領域が絶縁膜によって覆われる。次に、絶縁膜 25 の所定位置にコンタクトホールを開口する。開口する工程は、例えば、フォトリソグラフ工程、絶縁膜のエッチング工程等を用いて、半導体集積回路の製造工程で通常用いられている条件で行われる。

【0011】

次に、絶縁膜 25 および開口が形成された表面全体に、第 1 層の配線を形成するための第 1 配線層 2 を堆積させる。この第 1 配線層 2 としては、単層の金属薄膜、或いは、金属の積層膜が利用される。また抵抗率を小さくした半導体薄膜と金属との積層膜でも良い。従来技術では、約 310 nm の厚さの TiW 薄膜と、約 600 nm の厚さの AlSi 薄膜との積層膜を採用している。次に、第 1 配線層 2 を所定の形状に加工し、第 1 層の配線 2a・2b を形成する。これにより、各素子からの電極への取出しや各素子間の配線が行われる。

【0012】

次に、図 19 に示されるように、第 1 配線層 2 を含む表面全体に、第 1 の層間絶縁膜 6 を形成する。層間絶縁膜 6 としては、単層の絶縁膜でも良いが、第 1 配線層 2 で形成した第 1 の配線 2a・2b の凹凸を平坦化するために複数の絶縁膜の積層膜を用いるのが良い。従来技術では、第 1 配線層 2 を含む表面全体にプラズマ CVD 法により厚さ約 500 nm の SiO_x 膜 3 を形成し、 SiO_x 膜 3 の凹部に SOG (Spin on Glass) 膜形成/エッチバック工程により SOG 膜 4 を形成し、 SiO_x 膜 3 および SOG 膜 4 上に CVD 法により厚さ約 450 nm の SiO_x 膜 5 を形成することにより第 1 の層間絶縁膜 6 が形成される。

【0013】

前記 SOG 膜 4 は、塗布法 (SOG) により形成したシリコン酸化膜であり、塗布シリコン酸化膜とも呼ばれるものである。SOG 膜 4 は、スピンコーティングによる簡便な方法 (塗布法) で形成でき、かつ、表面張力により被塗布面の凸

部よりも凹部に厚く形成できるので、平坦化にとっては非常に有効な絶縁膜である。しかしながら、SOG膜4を単独で層間絶縁膜6として使用すると、SOG膜4自体に含まれる極微量の水分等が滲出して金属配線材料と反応することにより、金属配線の断線を引き起こす等の問題が生じることがあり得る。

【0014】

この問題を回避するために、SOG膜4を SiO_x 膜3の全面に形成した後、いわゆるエッチバックと称する技術によりSOG膜4全面にエッチングを施して、 SiO_x 膜3の凹部にのみSOG膜4を残して表面を平坦化し、平坦化された表面にCVD法により SiO_x 膜5を形成する手法を採用している。これにより、 SiO_x 膜3および SiO_x 膜5でSOG膜4を挟み込み、SOG膜4からの水分等の滲出を阻止することができる。

【0015】

次に、図20に示されるように、第1の層間絶縁膜6の所定位置に開口部6aを形成する。これは第1配線層2で形成した配線同士の接続等のためのものであり、ビアホール (Via Hole) 形成とも称される。開口部6aは、等方性の絶縁膜エッチングを行うことにより段差部に所定の傾斜を付けた後、異方性の絶縁膜エッチングを行うことにより形成される。

【0016】

次に、図21に示されるように、第1の層間絶縁膜6上および開口部6a内に第2配線層7を堆積し、所定の配線パターンにパターニングすることにより第2の配線7a・7bを形成する。従来技術では、第2配線層7として例えば厚さ約150nmのTiWと厚さ約1100nmのAlSiとの積層膜を採用している。

【0017】

次に、図22に示されるように、第2配線層7を覆うように保護膜8を形成する。保護膜8は、半導体集積回路の表面を保護すると共に、金バンプで形成するエリアパッドと第2配線層7で形成した第2の配線7a・7bとを絶縁するための膜である。保護膜8は、プラズマCVD法による SiO_x 膜と、プラズマCVD法によるSiN膜とを積層した積層膜を採用している。

【0018】

次に、図 23 に示されるように、保護膜 8 の所定の位置に開口部 9 を形成する。開口部 9 は、第 1 の配線 2 a ・ 2 b および第 2 の配線 7 a ・ 7 b と外部との電氣的接続をとるためのものである。

【0019】

次に、図 24 に示されるように、エリアパッドを形成したチップを基板にボンディングするときに生じる応力を緩和するための膜（以下衝撃緩衝膜と称す）として、保護膜 8 上および開口部 9 内にポリイミド膜 10 を塗布して堆積させる。

【0020】

次に、図 25 に示されるように、ポリイミド膜 10 の所定位置に開口部 11 を形成する。この開口部 11 も、保護膜 8 で覆われた第 2 配線層 7 の複数の配線 7 a ・ 7 b のうち、1 本の配線 7 a のみが露出されるように形成される。また、この場合にも、等方性のエッチング条件も加えて、開口部 11 の内壁に傾斜を付けて、同図に示されるように、いわゆる「鳥の嘴状 (Bird's Beak)」に形成される。

【0021】

開口の位置及び面積は保護膜を開口した領域を含み、保護膜の開口面積より大きく、上部に形成する金バンプ 13、すなわちエリアパッドの大きさよりも十分に小さくする。従来技術に係るエリアパッドでは、エリアパッドの下方に第 2 配線層 7 で形成した第 2 の配線 7 a ・ 7 b の上方にはこの衝撃緩衝材が必要であるため、この開口部の大きさは、概ね $10\ \mu\text{m} \times 10\ \mu\text{m}$ 程度としている。

【0022】

次に、図 17 に示されるように、バリアメタル 12 と金バンプ 13 とからなるボンディングパッド 14 を、保護膜 8 およびポリイミド膜 10 の開口部 9 ・ 11 を覆い、かつ、保護膜 8 で覆われた第 2 配線層 7 の複数の配線 7 a ・ 7 b と重なるように形成する。

【0023】

詳細には、まず、バリアメタル 12 と称する金属薄膜及び金 (Au) 薄膜を堆積させる。バリアメタル 12 の役割は、例えば金 (Au) のようにエリアパッドを構成する主たる金属と、配線を構成する導電層の材料とが反応するのを阻止す

るためにある。また、バリアメタル 12 は、メッキ法によるエリアパッド形成時の電極の役目も果たしている。

【0024】

次に、バリアメタル 12 を電極として所定位置に所定厚さの金バンプ 13 すなわちエリアパッドを形成する。金バンプの寸法はポリイミド膜 10 の開口部 11 の寸法より大きくしてある。そして、金バンプ 13 自体をマスクとして、不要な部分のバリアメタル 12 を除去することによりボンディングパッド 14 が形成される。

【0025】

従来技術では、バリアメタル 12 として厚さ 250 nm の TiW 薄膜と厚さ 170 nm の Au 薄膜とを堆積させ、バリアメタル 12 の薄膜を電極として厚さ約 10 μ m の金 (Au) をメッキして、大きさ約 35 μ m \times 50 μ m の金バンプ 13 をエリアパッドとして形成している。

【0026】

【特許文献 1】

特開 2002-198374 号公報 (2002 年 7 月 12 日公開)

【0027】

【発明が解決しようとする課題】

しかしながら、特開 2002-198374 号公報に開示された 2 層配線構造の半導体装置においては、ポリイミド膜 10 を形成する場合には、ボンディングパッド 14 の形成位置にポリイミドを塗布して堆積する工程と、ポリイミド膜 10 の所定位置を開口して開口部 11 を設ける工程とが少なくとも必要である。このため、特にフォトリソグラフィ工程およびエッチング工程を追加する必要がある、作業効率の低下やチップコストの上昇を招く事になる。

【0028】

上記問題を回避する為、ポリイミド膜 10 を形成しないとすれば、衝撃緩衝材がなくなる事になり、COF (Chip on Film) などの実装時の応力により、ボンディングパッド 14 下の構成要素に損傷を与える可能性がある。

【0029】

また、保護膜 8 とポリイミド膜 10 との界面の密着性を向上するために、図 26 および図 27 に示されるように、保護膜 8 にオーバーハング形状の凸部を設ける構成が上記公報に開示されている。ここで、オーバーハング形状とは、上部が底部よりも外側に張り出した形状を言う。すなわち、図 27 に示されるように、基板面に平行な任意の方向（図 27 の例では配線 7b と直交する方向）に沿った凸部 8b の最大外形寸法を X、その方向に沿った凸部 8b の最下部の寸法を Y とすると、 $X > Y$ になる形状のことをいう。

【0030】

これにより、オーバーハング形状の凸部 8b のくびれ部分 8a にもポリイミド膜 10 が堆積し、保護膜 8 の凸部 8b と、くびれ部分 8a に形成されたポリイミド膜 10 とが噛み合うので、保護膜 8 とポリイミド膜 10 との密着性が向上する。

【0031】

しかしながら、オーバーハング形状の凸部 8b は、くびれ部分 8a では膜厚が薄くなっている。このため、図 27 および図 28 に示されるように、半導体集積回路に金バンプ 13 を形成した後、COF などの実装を行うときに加わる応力により、保護膜 8 の複数のくびれ部分 8a にクラック 27 が生じることが確認された。

【0032】

このとき、外部からクラック 27 を通って第 2 の配線 7d などの回路構成部に水分が滲出し、滲出した部分に電流が流れることにより金属配線材等が腐食し最終的には断線に至る経時劣化が発生することになる。

【0033】

本発明は上記の問題点を解決するためになされたもので、その目的は、作業効率の低下やチップコストの上昇を招くことなく、上方からの応力による損傷を防止できる半導体装置およびその製造方法を提供することにある。

【0034】

【課題を解決するための手段】

上記の課題を解決するために、本発明の半導体装置は、複数の配線が形成され

た導体層と、該導体層の複数の配線と重なる領域に形成されたボンディングパッドとを備える半導体装置において、上記配線の一部がボンディングパッドと接合されている一方、上記配線の他の部分とボンディングパッドとの間に絶縁性の保護膜が形成されており、少なくともボンディングパッドと重なる領域内の上記配線上の保護膜は、隣合う配線上の保護膜と橋架していることを特徴としている。

【0035】

上記の構成によると、隣合う配線上の保護膜どうしが橋架することにより、配線上の保護膜の形状は、従来のようなオーバーハング形状ではなく、ブリッジ形状となる。オーバーハング形状の保護膜は、上方から圧力が加わると、側方に広がるように変形する。このため、保護膜の下部のくびれ部分に応力が集中してクラックが発生する。

【0036】

一方、ブリッジ形状の保護膜は、上方から圧力が加わっても、隣合う配線上の保護膜と繋がっているため、側方に広がり難くなる。したがって、保護膜をブリッジ形状とすることにより、保護膜の下部にクラックが発生し難くなる。

【0037】

また、隣合う配線上の保護膜どうしが橋架することにより、橋架する部分の下に空孔部が形成されることになる。これにより、半導体回路を他の基体を実装するときに、ボンディングパッドから保護膜に応力が働いても、前記空孔部が空気バネ（衝撃緩衝材）として機能するから、保護膜の下に形成される配線などの構成要素が損傷することを防止することができる。

【0038】

また、従来のように衝撃緩衝材としてポリイミド膜を設ける必要がなくなるから、作業効率の低下やチップコストの上昇を防止することができる。

【0039】

さらに、本発明の半導体装置は、上記の構成において、上記保護膜と上記ボンディングパッドとの間には、上記保護膜を覆うように絶縁膜が形成されていることを特徴としている。

【0040】

前記空孔部は、通常は周囲を保護膜によって囲まれているため、外部とは連通していない。しかしながら、配線パターンのデザインによっては、隣合う配線どうしの間隔が広がって、保護膜がブリッジ形状とはならない部分が存在する可能性がある。この場合、空孔部は、ブリッジ形状とはならない部分から外部と連通することになる。空孔部が外部と連通すると、保護膜形成後の製造工程において、例えば、空孔部にレジスト材料が混入したり、熱処理工程で空孔部から気泡が噴出したりするなど、半導体装置の製造に悪影響を及ぼすことになる。

【0041】

そこで、本発明の半導体装置は、保護膜を覆うように絶縁膜が形成されている。これにより、保護膜においてブリッジ形状とはならない部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる。

【0042】

さらに、本発明の半導体装置は、上記の構成において、上記絶縁膜は、化学気相成長法によって形成された酸化膜であることを特徴としている。

【0043】

化学気相成長法によって形成された酸化膜は、例えばSOG膜などのように、塗布法によって形成された絶縁膜に比べて、緻密であり、かつ水分含有量が少ない。したがって、前記酸化膜から水分の放出が少なく、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる。

【0044】

さらに、本発明の半導体装置は、上記の構成において、上記酸化膜は、ホウ素およびリンの少なくとも一方を含むことを特徴としている。

【0045】

ホウ素およびリンの少なくとも一方を含む酸化膜は、常圧の化学気相成長法によって形成することができる。常圧の化学気相成長法は、真空の化学気相成長法に比べて、成膜速度が速い。したがって、本発明の半導体装置は、量産性に優れ、かつ製造コストの低いものとなる。

【0046】

なお、上記構成の半導体装置は、エリアパッドによる半導体装置、すなわち、上記導体層は、半導体素子が形成された領域である活性領域を有する半導体基板上に形成され、上記活性領域と電氣的に接続された第1配線層上に層間絶縁膜を介して形成された第2配線層であり、ボンディングパッドは、少なくとも一部が上記活性領域と重なるように形成されている半導体装置に適用することが効果的である。

【0047】

また、本発明の半導体装置の製造方法は、基板上に導体層を形成する工程と、上記導体層上に絶縁膜を形成する工程と、上記絶縁膜に開口部を形成する工程と、上記絶縁膜上と上記開口部内とに金属膜を形成することにより、ボンディングパッドを形成する工程とを含む半導体装置の製造方法において、上記導体層を形成する工程は、複数の配線を形成する工程を含んでおり、上記導体層上に絶縁膜を形成する工程は、絶縁性の保護膜を形成する工程を含んでおり、上記保護膜を形成する工程では、少なくとも上記ボンディングパッドと重なる領域内の上記配線上の保護膜が、隣合う配線上の保護膜と橋架するように上記保護膜を形成することを特徴としている。

【0048】

ここで、隣合う配線上の保護膜が橋架するように保護膜を形成することは、配線の間隔および保護膜の膜厚を適当に調整することにより実現することができる。

【0049】

上記の方法によると、保護膜を形成する工程により、前述のようなブリッジ形状の保護膜を形成することができる。これにより、保護膜の下部にクラックが発生し難くなる。また、橋架する部分の下に空孔部が形成されることになり、該空孔部が空気バネとして機能するから、保護膜の下に形成される配線などの構成要素が損傷することを防止することができる。また、保護膜上に衝撃緩衝材としてポリイミド膜を形成する工程が不要となるから、作業効率の低下やチップコストの上昇を防止することができる。

【0050】

さらに、本発明の半導体装置の製造方法は、上記の方法において、上記導体層上に絶縁膜を形成する工程は、上記保護膜を形成する工程により形成された保護膜を覆うように新たな絶縁膜を形成する工程をさらに含むことを特徴としている。

【0051】

上記の方法によると、前述のように、保護膜においてブリッジ形状とはならない部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる。

【0052】

さらに、本発明の半導体装置の製造方法は、上記の方法において、上記新たな絶縁膜を形成する工程は、化学気相成長法によって上記保護膜を覆うように酸化膜を形成する工程であることを特徴としている。

【0053】

上記の方法によると、前述のように、化学気相成長法によって形成された酸化膜から水分の放出が少なく、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる。

【0054】

さらに、本発明の半導体装置の製造方法は、上記の方法において、上記酸化膜を形成する工程は、ホウ素およびリンの少なくとも一方を含む酸化膜を形成する工程であることを特徴としている。

【0055】

上記の方法によると、ホウ素およびリンの少なくとも一方を含む酸化膜は、常圧の化学気相成長法によって形成することができるから、半導体装置の量産性が向上すると共に、半導体装置の製造コストを低下させることができる。

【0056】

なお、上記の半導体装置の製造方法は、エリアパッドによる半導体装置、すなわち、上記導体層は、半導体素子が形成された領域である活性領域を有する半導体基板上に形成され、上記活性領域と電氣的に接続された第1配線層上に層間絶縁膜を介して形成された第2配線層であり、ボンディングパッドは、少なくとも

一部が上記活性領域と重なるように形成されている半導体装置の製造方法に適用することが効果的である。

【0 0 5 7】

【発明の実施の形態】

〔実施の形態 1〕

本発明の実施の一形態について図 1 ないし図 1 1 に基づいて説明すれば、以下のとおりである。なお、従来と同様の構成については、同一の符号を付している。

【0 0 5 8】

以下に、本発明の半導体装置の実施の一形態として、シリコン（Si）基板上に形成された MOS トランジスタを有する半導体集積回路を例にして詳細に説明する。しかしながら、本発明において、半導体基板を構成する半導体材料、半導体基板上に形成される半導体素子の種類やその組み合わせには、特に制約はない。なお、本願明細書においては、半導体素子が形成された半導体基板上の領域を、活性領域と称する。

【0 0 5 9】

図 1 は、本発明に係る半導体装置の実施の一形態としての半導体集積回路において半導体素子 1 つ分に対応する部分の概略断面図である。以下の説明では、半導体素子 1 つ分に対応する部分について説明する。

【0 0 6 0】

本実施形態の半導体集積回路は、図 1 に示すように、半導体素子 2 0 が形成された領域である活性領域を有するシリコン基板（半導体基板）1 と、シリコン基板 1 上に形成され、上記活性領域と電氣的に接続された第 1 配線層 2 と、第 1 配線層 2 上に層間絶縁膜 6 を介して形成された第 2 配線層 7 と、少なくとも一部が上記活性領域と重なる位置（活性領域の上方）に形成された、外部との電氣的接続のためのボンディングパッド 1 4 とを備えている。

【0 0 6 1】

本実施形態の半導体素子 2 0 は、MOS トランジスタである。半導体素子 2 0 は、シリコン基板 1 の表層に形成された、ソース領域として機能する不純物拡散

層 1 a と、ドレイン領域として機能する不純物拡散層 1 b と、不純物拡散層 1 a ・ 1 b 上に形成された酸化膜（ソース領域・ドレイン領域へのイオン注入時のダメージを低減するための膜） 2 6 ・ 2 6 と、シリコン基板 1 上に形成されたゲート絶縁膜 2 1 と、ポリシリコンゲート電極 2 2 と、ポリシリコンゲート電極 2 2 の側面に形成された側壁保護膜 2 3 とからなっている。

【0062】

上記構成の半導体素子 2 0 では、シリコン基板 1 における不純物拡散層 1 a ・ 1 b 間の領域がチャネル領域として機能する。したがって、本実施形態のシリコン基板 1 では、不純物拡散層 1 a ・ 1 b と、それらの間のチャネル領域とが、活性領域となっている。また、シリコン基板 1 における半導体素子 2 0 が形成されている領域（活性領域）以外の領域は、半導体素子 2 0 と他の半導体素子との電気的分離（アイソレーション）のための素子分離用絶縁膜 2 4 ・ 2 4 が形成された素子分離領域となっている。

【0063】

シリコン基板 1 において、活性領域に形成された半導体素子 2 0 上と、素子分離領域に形成された素子分離用絶縁膜 2 4 ・ 2 4 上とは、所定厚さの絶縁膜 2 5 が形成されている。また、絶縁膜 2 5 の所定の位置（不純物拡散層 1 a ・ 1 b に対応する位置）には、第 1 配線層 2 と不純物拡散層 1 a ・ 1 b とを電氣的に接続するためのコンタクトホールが開口している。

【0064】

第 1 配線層 2 は、アルミニウム等の導電体からなる単層または複層の導電膜によって形成されている。第 1 配線層 2 は、絶縁膜 2 5 上に形成された複数の配線 2 a ・ 2 b からなっており、配線 2 a は上記コンタクトホールを通して不純物拡散層 1 a と電氣的に接続しており、配線 2 b は上記コンタクトホールを通して不純物拡散層 1 b と電氣的に接続している。

【0065】

第 1 配線層 2 上には、第 1 配線層 2 と第 2 配線層 7 とを絶縁するための層間絶縁膜 6 が単層または複層の絶縁膜で形成されており、層間絶縁膜 6 には第 1 配線層 2 と第 2 配線層 7 とを電氣的に接続するためのビアホールが設けられている。

【0066】

この場合、層間絶縁膜 6 は、表面を平坦化する機能を有している。層間絶縁膜 6 としては、単層の絶縁膜でもよいが、本実施形態では、第 1 導電膜で形成した第 1 配線層 2 の凹凸を被覆して表面を平坦化できる利点から、複数の絶縁膜を積層した積層膜を採用している。

【0067】

第 2 配線層 7 も、第 1 配線層 2 と同様に、アルミニウム等の導電体からなる単層または複層の導電膜によって形成されている。第 2 配線層 7 は、ボンディングパッド 14 と重なる領域（ボンディングパッド 14 の下方領域）内に互いに絶縁された第 2 の配線 7 を複数本有している。また、第 2 配線層 7 の一部は、層間絶縁膜 6 のビアホールを通して第 1 配線層 2 の一部と接続されている。

【0068】

なお、本願では、第 2 の配線のそれぞれを区別する場合には、図 6 に示されるように、ボンディングパッド 14 と接続する第 2 の配線に符号 7 a を付し、ボンディングパッドと非接続であるがボンディングパッド 14 と重なる領域内に形成される第 2 の配線に符号 7 b を付し、その他の配線に符号 7 c を付すことにする。

【0069】

以上の構成は、上記従来の半導体装置における半導体集積回路の構成と同様の構成である。

【0070】

第 2 配線層 7 上には、保護膜 8 が形成されている。本実施形態では、図 2 に示されるように、隣合う第 2 の配線 7 b・7 b 上では、保護膜 8 が橋架した状態で形成されている。これにより、隣合う第 2 の配線 7 b・7 b の間は、全てが保護膜 8 の材料で充填されるのではなく、一部には空孔部 16 が形成されることになる。

【0071】

これにより、COF 実装などのチップ実装時に保護膜 8 に応力が働いても、空孔部 16 が空気バネとして機能するから、保護膜 8 の下の半導体素子 20、第 1

配線層 2、および第 2 配線層 7 の損傷を防止することができる。また、本実施形態では、衝撃緩衝材としてポリイミド膜 10 を設ける必要がなくなるから、作業効率の低下やチップコストの上昇を防止することができる。

【0072】

また、本実施形態では、第 2 配線層 7 上の保護膜 8 を従来のようなオーバーハング形状ではなく、ブリッジ形状としている。オーバーハング形状の場合、上から圧力が働くと、押しつぶされて、左右方向に広がるため、凹部における保護膜 8 の屈曲角度が小さくなって、クラックが発生する。一方、ブリッジ形状の場合には、上から圧力が働いても、左右方向に広がり難く、それゆえ、凹部における保護膜 8 の屈曲角度が小さく成り難く、クラックが発生し難くなる。

【0073】

次に、上記の半導体集積回路の製造方法を図 3 ～図 10 に基づいて説明する。なお、図 3 ～図 10 は、半導体集積回路の製造工程を示している。まず、図 3 に示されるように、シリコン (Si) 基板 1 の一主要表面 (以下この主要表面を、単に表面と称す) に、半導体集積回路の製造で通常用いられている手順に従って、MOS トランジスタ等の素子 20 を形成する。

【0074】

次に、シリコン基板 1 の前記表面全体に CVD 法により絶縁膜 25 を所定の厚さ分堆積する。これにより、活性領域が絶縁膜 25 によって覆われる。次に、絶縁膜 25 の所定位置にコンタクトホールを開口する。開口する工程は、例えば、フォトリソグラフ工程、絶縁膜のエッチング工程等を用いて、半導体集積回路の製造工程で通常用いられている条件で行われる。

【0075】

次に、図 3 に示されるように、絶縁膜 25 および開口が形成された表面全体に、第 1 層の配線を形成するための第 1 配線層 2 を堆積させる。この第 1 配線層 2 としては、単層の金属薄膜、或いは、金属の積層膜が利用される。また抵抗率を小さくした半導体薄膜と金属との積層膜でも良い。本実施形態では、厚さ約 310 nm の TiW 薄膜と、厚さ約 600 nm の AlSi 薄膜との積層膜を採用している。次に、第 1 配線層 2 を所定の形状に加工し、第 1 層の配線 2a・2b を形成

する。これにより、各素子からの電極への取出しや各素子間の配線が行われる。

【0076】

次に、図4に示されるように、第1配線層2を含む基板全面に第1の層間絶縁層6を形成する。層間絶縁膜6としては、単層の絶縁膜でも良いが、第1配線層2で形成した第1の配線2a・2bの凹凸を平坦化するために複数の絶縁膜の積層膜を用いるのが良い。本実施例では、第1配線層2を含む表面全体にプラズマCVD法により厚さ約500nmの SiO_x 膜3を形成し、 SiO_x 膜3の凹部にSOG膜形成／エッチバック工程によりSOG膜4を形成し、 SiO_x 膜3およびSOG膜4上にCVD法により厚さ約450nmの SiO_x 膜5を形成することにより第1の層間絶縁膜6を形成している。

【0077】

前記SOG膜4は、塗布法（SOG：Spin on Glass）により形成したシリコン酸化膜であり、塗布シリコン酸化膜とも呼ばれるものである。SOG膜4は、スピンコーティングによる簡便な方法（塗布法）で形成でき、かつ、表面張力により被塗布面の凸部よりも凹部に厚く形成できるので、平坦化にとっては非常に有効な絶縁膜である。しかしながら、SOG膜4を単独で層間絶縁膜6として使用すると、SOG膜4自体に含まれる極微量の水分等が滲出して金属配線材料と反応することにより、金属配線の断線を引き起こす等の問題が生じることがあり得る。

【0078】

この問題を回避するために、SOG膜4を SiO_x 膜3の全面に形成した後、いわゆるエッチバックと称する技術によりSOG膜4全面にエッチングを施して、 SiO_x 膜3の凹部にのみSOG膜4を残して表面を平坦化し、平坦化された表面にCVD法により SiO_x 膜5を形成する方法を採用している。これにより、 SiO_x 膜3および SiO_x 膜5でSOG膜4を挟み込み、SOG膜4からの水分等の滲出を阻止することができる。

【0079】

次に、図5に示されるように、第1の層間絶縁膜6の所定位置に開口部（ビアホール）6aを形成する。開口部6aを形成する工程では、通常のフォトリソグ

ラフ工程および通常の絶縁膜エッチング工程が用いられる。しかしながら、開口部 6 a の上端周縁が急峻である、すなわち、層間絶縁膜 6 の表面から開口部 6 a の側面への傾きの変化が急峻であると、後に形成する第 2 配線層 7 における第 2 の配線が開口部 6 a の上端にて断線するおそれがある。

【0 0 8 0】

そこで、複数の絶縁膜エッチング条件を組み合わせることにより、開口部 6 a の上端に傾斜を付けることが望ましい。なお、図には示していないが、本実施形態においても、開口部 6 a を設ける位置において、まず等方性の絶縁膜エッチングを行うことにより所定の傾斜を付けた後に、異方性の絶縁膜エッチングを行って開口部 6 a を形成している。

【0 0 8 1】

次に、図 6 に示されるように、第 1 の層間絶縁膜 6 上および開口部 6 a 内に導電性材料を堆積することにより第 2 配線層 7 を形成し、所定の配線パターンにパターニングすることにより第 2 の配線 7 a ~ 7 c を形成する。本実施形態では、第 2 配線層 7 として例えば厚さ約 1 5 0 n m の T i W と厚さ約 1 1 0 0 n m の A l S i との積層膜を採用している。

【0 0 8 2】

次に、図 7 に示されるように、第 2 配線層 7 を覆うように保護膜 8 を形成する。保護膜 8 は、半導体集積回路の表面を保護すると共に、金バンプで形成するエリアパッドと第 2 配線層 7 で形成した第 2 の配線 7 a ~ 7 c とを絶縁するための膜である。保護膜 8 としては、緻密性の高い絶縁膜、例えば窒化膜等が適している。

【0 0 8 3】

本実施形態では、第 2 の配線 7 b ・ 7 b どうしの間隔と保護膜 8 の厚さとを調整することにより、図 2 に示されるように、隣合う第 2 の配線 7 b ・ 7 b 上の保護膜 8 を橋架状態に形成している。これにより、隣合う第 2 の配線 7 b ・ 7 b の間は、全てが保護膜 8 の材料で充填されるのではなく、一部には空孔部 1 6 が形成されることになる。

【0 0 8 4】

なお、保護膜 8 は、プラズマ CVD 法により形成されるため、保護膜 8 の膜厚が薄いと、エリアパッドすなわちボンディングパッド 14 を形成したチップを基板にボンディングするときの圧力などの応力で、図 27 および図 28 に示されるようなクラックが発生するおそれがある。このため、保護膜 8 の膜厚 L は約 $1\ \mu\text{m}$ 以上であることが望ましい。

【0085】

また、保護膜 8 の膜厚にも依存するが、第 2 の配線の間隔が広すぎると、隣合う第 2 の配線 7b・7b 上の保護膜 8 を橋架状態に形成することが困難となる。このため、保護膜 8 の膜厚 L が約 $1\ \mu\text{m}$ の場合には、第 2 の配線 7b・7b の間隔は、約 $1.0\ \mu\text{m}$ 以下であることが望ましい。実施例では、第 2 の配線の間隔を約 $0.8\ \mu\text{m}$ とし、保護膜 8 を、プラズマ CVD 法により形成された膜厚約 $400\ \text{nm}$ の SiO_x 膜と、プラズマ CVD 法により形成された膜厚約 $720\ \text{nm}$ の SiN 膜とを積層した積層膜としている。

【0086】

次に、図 8 に示されるように、橋架状に形成した保護膜 8 を覆うように絶縁膜 15 を形成する。絶縁膜 15 は、保護膜 8 の凹凸を平坦化するとともに、従来のポリイミド膜 10 (図 17 を参照) よりも簡便に形成するために、スピンコートによる簡便な方法で形成することが望ましい。また、絶縁膜 15 は、熱膨張による破損を防止するため、熱膨張率が保護膜 8 よりも小さいことが望ましい。以上の条件を満足する絶縁膜 15 の例としては、SOG 膜が挙げられる。

【0087】

次に、ボンディングパッド 14 と接続する第 2 の配線 7a を露出するために、図 9 に示されるように、絶縁膜 15 の所定位置に開口部 17 を設けるとともに、図 10 に示されるように、該開口部 17 内に露出した保護膜 8 の所定位置に開口部 9 を設ける。

【0088】

これにより、絶縁膜 15 の開口部 17 の領域は、保護膜 8 の開口部 9 の領域を含むことになるから、絶縁膜 15 の開口部 17 の開口面積は、保護膜 8 の開口部の開口面積よりも広くすることができる。

【0089】

また、保護膜 8 および絶縁膜 15 は、ほぼ同じ装置およびガス系でのエッチングが可能であるため、保護膜 8 および絶縁膜 15 を形成した後に開口部 17・9 を設けている。これにより、保護膜 8 の形成後に開口部 9 を設けて、絶縁膜 15 の形成後に開口部 17 を設ける場合に比べて、開口部を設ける工程を減らすことができる。

【0090】

なお、前述のように、開口部の上端を傾斜させることが望ましい。このため、本実施形態では、開口部 17・9 を設ける位置において、まずウエットエッチングによる等方性の絶縁膜エッチングを行うことにより所定の傾斜を付けた後に、異方性の絶縁膜エッチングを行って開口部 17・9 を形成している。

【0091】

開口部 17・9 の上端を傾斜させることにより、前述のような電氣的な破断を防止する効果の他に、以下のような効果が得られる。すなわち、図 1 に示されるように、後の工程で形成されるボンディングパッド（エリアパッド）14 における上面の凹み 18 を緩やかにすることができるので、ボンディングパッド 14 の上面を外部端子に接続する場合における接触抵抗の増大を防止することができる。

【0092】

次に、図 1 に示されるように、バリアメタル 12 と金バンプ 13 とからなるボンディングパッド 14 を、保護膜 8 および絶縁膜 15 の開口部 9・17 を覆い、かつ、保護膜 8 で覆われた第 2 配線層 7 の複数の配線 7a・7b と重なるように形成する。

【0093】

詳細には、まず、バリアメタル 12 と称する金属薄膜および金（Au）薄膜を堆積させる。バリアメタル 12 の役割は、例えば金（Au）のようにエリアパッドを構成する主たる金属と、配線を構成する導電層の材料とが反応するのを阻止するためにある。また、バリアメタル 12 は、メッキ法によるエリアパッド形成時の電極としての役目も果たしている。

【0094】

次に、バリアメタル12を電極として所定位置に所定厚さの金バンプ13すなわちエリアパッドを形成する。金バンプの寸法は絶縁膜15の開口部17の寸法より大きくしてある。そして、金バンプ13自体をマスクとして、不要な部分のバリアメタル12を除去することによりボンディングパッド14が形成されて、図1に示される半導体集積回路を製造することができる。

【0095】

なお、実施例では、バリアメタル12として厚さ250nmのTiW薄膜と厚さ170nmのAu薄膜とを堆積させ、バリアメタル12の薄膜を電極として厚さ約10 μ mの金(Au)をメッキして、大きさ約35 μ m \times 50 μ mの金バンプ13をエリアパッドとして形成している。

【0096】

したがって、上記の製造方法によると、保護膜8を形成する工程によりブリッジ形状の保護膜を形成しているので、前述のように、保護膜8の下部にクラック27が発生し難くなる。また、橋架する部分の下に空孔部16が形成されることになり、該空孔部16が空気バネとして機能するから、保護膜8の下に形成される配線7などの構成要素が損傷することを防止することができる。また、保護膜8上に衝撃緩衝材としてポリイミド膜10を形成する工程が不要となるから、作業効率の低下やチップコストの上昇を防止することができる。

【0097】

なお、本実施形態では、保護膜8上に絶縁膜15を形成しているが、図11に示されるように、絶縁膜15を形成することなく、保護膜8上にボンディングパッド14を直接形成することもできる。しかしながら、この場合には以下の問題が起こり得る。

【0098】

図2に示されるように、隣合う第2の配線7c・7cの間には空孔部16が形成される。図示のように、空孔部16は、基本的には周囲が保護膜8で囲まれた構造となるため、外部とは連通しない。しかしながら、第2の配線7b・7cのデザインによっては、一部が保護膜8で覆われていない空孔部（以下、該空孔部

を「ボイド開放部」と称する。)が存在する場合もある。

図12は、ボイド開放部28が存在する場合の第2の配線7c・7cのデザインの一例を示している。同図に示されるような第2の配線に保護膜8を形成した場合、コーナー部以外では、図13(b)に示されるように、隣合う第2の配線7c・7c上の保護膜が橋架するので、橋架部分の直下に、周囲が保護膜8で囲まれた空孔部16が形成される。

【0099】

一方、コーナー部では、隣合う第2の配線7c・7cの間隔が広がっているから、図13(a)に示されるように、隣合う第2の配線7c・7c上の保護膜8が橋架せず、したがって、隣合う第2の配線7c・7cの間には、上部が開いたボイド開放部28が形成されることになる。ボイド開放部28が存在すると、空孔部16はボイド開放部28を介して外部と連通することになる。

【0100】

この場合、保護膜8の形成後、保護膜8の開口部9を形成するためにフォトリソグラフィを行ったときには、レジスト材がボイド開放部28から空孔部16に進入することになる。そして、後の熱処理工程、例えばレジスト硬化工程（ポストバーク工程）において空気の膨張や有機材料の気化により発生する気泡によって、ボイド開放部28からレジスト材が飛散し、必要とする領域の保護膜8が欠落するおそれがあり、保護膜8の耐湿性が劣化するおそれがある。

【0101】

また、実装時の表面保護としてPIQ (polyimide resin: ポリイミド膜) 10を形成する場合には、PIQを形成する工程内の熱処理、例えばPIQ硬化工程における熱処理により、図14に示されるように、ボイド開放部28から気泡29が噴出し、PIQが飛散するおそれがある。

【0102】

また、バリアメタル12を形成するときの熱処理において、ボイド開放部28から気泡が噴出し、該気泡が外部に噴出することにより設備を汚染したり、前記気泡がバリアメタル12に付着することにより保護膜8とバリアメタル12との密着強度を劣化したりするおそれがある。

【0103】

したがって、以上の問題点を回避するために、保護膜 8 上に絶縁膜 15 が、保護膜 8 を覆うように形成されることが望ましい。これにより、ボイド開放部 28 も絶縁膜 15 によって覆われるから、空孔部 16 が外部と連通することがなくなり、上記の問題点を回避することができる。

【0104】**〔実施の形態 2〕**

次に、本発明の別の実施形態について図 15 に基づいて説明すれば、以下のとおりである。図 15 は、本実施形態である半導体装置における半導体集積回路の概略構成を示している。

【0105】

本実施形態の半導体集積回路は、図 1 に示される半導体集積回路に比べて、絶縁膜として SOG 膜 15 を形成する代わりに、CVD 法による酸化膜 30（以下、「CVD 酸化膜 30」と略称する。）を形成する点が異なり、その他の構成は同様である。なお、上記実施形態で説明した構成と同様の機能を有する構成には、同一の符号を付して、その説明を省略する。

【0106】

上記実施形態では、ボイド開放部 28 を覆うための絶縁膜として SOG 膜 15 を形成している。しかしながら、SOG 膜 15 は、ポーラス(多孔質)な膜であり、かつ、水分の含有量が多いため、次の工程であるバンプ形成工程、すなわちボンディングパッド 14 を形成する工程において以下の問題点が起こり得る。

【0107】

前述のように、ボンディングパッド 14 を形成する工程では、まず、バリアメタル (TiW) 12 が形成される。バリアメタル 12 の形成は、高真空下でのスパッタリングにより行われる。このとき、SOG 膜 15 から外部に水蒸気が流出するため、スパッタリング装置の真空度が低下する。このため、スパッタリングに必要な真空度に到達するまでに時間を費やすことになる。

【0108】

また、バリアメタル 12 を形成する前には、バリアメタル 12 と第 2 の配線 7

aとのコンタクト抵抗を低下かつ安定化させるために、Arガス等により第2の配線7aのスパッタエッチングが行われる。

【0109】

このとき、SOG膜15の表面もArイオンに叩かれてエッチングされるため、設備ダストの原因となる。すなわち、エッチングされたSOGがウェハー上に付着し、これを核としてスパッタ膜が成長する。このスパッタ膜がウェハー上に残ると実装時に2本のリード線をショートさせる原因となる。

【0110】

また、エッチングされることにより、SOG膜15は脆くなり、ボンディングパッド14の形成後の実装時に、実装による圧力に対してクラックが発生しやすくなる。

【0111】

さらに、SOG膜15は、塗布法により形成されるが、塗布法では、SOGを塗布する工程に加えて、溶剤を除去するための熱処理工程と、エッチバック工程とが必要であり、工程数が多くなる。

【0112】

以上の問題点に対し、本実施形態では、塗布法によりSOG膜15を形成する代わりに、CVD酸化膜30を形成している。CVD酸化膜30は、周知の常圧CVD装置を用いて、保護膜8を覆うように、1 μ mの膜厚で表面全体に形成される。なお、CVD酸化膜30を常圧CVD法で形成するため、CVD酸化膜30には、B（ホウ素）およびP（リン）の少なくとも一方が含まれることが望ましい。

【0113】

CVD酸化膜30は、SOG膜15に比べて、緻密であり、かつ水分含有量が少ない。このため、スパッタリングによりバリアメタル12を形成するときに、スパッタリング装置の真空度の低下を軽減できるので、バリアメタル12の形成を速やかに行うことができる。

【0114】

また、バリアメタル12の形成前に行われるスパッタエッチングでは、CVD

酸化膜 30 のエッチング量を抑えることができるので、設備ダストを減少できるとともに、実装による圧力に対してクラックが発生し難くなる。

【0115】

また、CVD法は、塗布法に比べてエッチングレートの安定した膜を形成できるため、エッチバック工程による薄膜化が不要となり、製造工程数を減らすことができる。なお、CVD酸化膜 30 上にボンディングパッド 14 を良好に形成するために、CVD酸化膜 30 の形成後、CVD酸化膜 30 の平坦化処理を行ってから、ボンディングパッド 14 の形成を行っても良い。

【0116】

さらに、CVD酸化膜 30 を、B（ボロン）およびP（リン）の少なくとも一方を含む酸化膜とすることにより、CVD酸化膜 30 を常圧CVD法で形成することができる。常圧CVD法は、真空CVD法よりも成膜速度（deposition rate）が速いから、量産性に優れ、製造コストを下げることができる。

【0117】

〔実施の形態 3〕

次に、本発明の他の実施形態について図 16 に基づいて説明すれば、以下のとおりである。図 16（a）（b）は、本実施形態である半導体装置における半導体集積回路の概略構成を示している。

【0118】

本実施形態の半導体集積回路は、図 1 に示される半導体集積回路における第 2 の配線 7a～7c に、ダミー配線 7d が追加されている点が異なり、その他の構成は同様である。なお、上記実施形態で説明した構成と同様の機能を有する構成には、同一の符号を付して、その説明を省略する。

【0119】

前述のように、隣合う第 2 の配線 7b・7b の間隔が広いと、隣合う第 2 の配線 7b・7b 上に形成される保護膜 8 が橋架せず、従来と同様のオーバーハング形状となる。

【0120】

これを回避するため、本実施形態では、図 16（a）（b）に示されるように

、第2配線層7におけるボンディングパッド14と重なる領域内に、デバイス動作に参与する第2の配線7a・7bに加えて、さらに、デバイス動作（半導体素子20の動作や図示しない他の半導体素子等の外部装置の動作）に参与しないダミー配線7dが配備されている。

【0121】

上記の構成によると、ダミー配線7cを含む第2配線層7を形成した後、保護膜8を形成したときに、隣合う第2の配線7b・7b上の保護膜8が橋架するだけでなく、隣合うダミー配線7d・7d上の保護膜8も橋架し、隣合う第2の配線7bおよびダミー配線7b・7d上の保護膜8も橋架することになる。

【0122】

したがって、ダミー配線7dをもちいることにより、少なくともボンディングパッド14が形成される領域に形成される保護膜8のほぼ全てをブリッジ形状とすることができ、ボンディングパッド14から保護膜8に働く応力の衝撃緩衝材として確実に機能することができる。

【0123】

なお、本発明は上記の実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。

【0124】

例えば、上記の実施形態では、半導体素子20の上方にボンディングパッド14を形成するいわゆるエリアパッドの半導体装置に関して説明している。しかしながら、近時の半導体集積回路における集積度の向上のため、半導体素子20以外の領域であっても、微細かつ多数の配線上にボンディングパッドを形成する場合があります、このような場合にも本発明を適用することができる。

【0125】

【発明の効果】

以上のように、本発明の半導体装置は、上記配線の一部がボンディングパッドと接合されている一方、上記配線の他の部分とボンディングパッドとの間に絶縁性の保護膜が形成されており、少なくともボンディングパッドと重なる領域内の上記配線上の保護膜は、隣合う配線上の保護膜と橋架している構成である。

【0126】

これにより、配線上の保護膜がブリッジ形状となるので、保護膜の下部にクラックが発生し難くなる効果を奏する。また、橋架する部分の下に形成される空孔部が空気バネとして機能するから、保護膜の下に形成される配線などの構成要素が損傷することを防止できる効果を奏する。また、衝撃緩衝材としてのポリイミド膜が不要となるから、作業効率の低下やチップコストの上昇を防止できる効果を奏する。

【0127】

さらに、本発明の半導体装置は、以上のように、上記の構成において、上記保護膜と上記ボンディングパッドとの間には、上記保護膜を覆うように絶縁膜が形成されている構成である。

【0128】

これにより、保護膜においてブリッジ形状とはならない部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0129】

さらに、本発明の半導体装置は、以上のように、上記の構成において、上記絶縁膜は、化学気相成長法によって形成された酸化膜である構成である。

【0130】

これにより、前記酸化膜から水分の放出が少ないので、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0131】

さらに、本発明の半導体装置は、以上のように、上記の構成において、上記酸化膜は、ホウ素およびリンの少なくとも一方を含む構成である。

【0132】

これにより、量産性に優れ、かつ製造コストの低い半導体装置を提供できる効果を奏する。

【0133】

なお、上記構成の半導体装置は、エリアパッドによる半導体装置に適用するこ

とが効果的である。

【0134】

また、本発明の半導体装置の製造方法は、以上のように、上記導体層を形成する工程は、複数の配線を形成する工程を含んでおり、上記導体層上に絶縁膜を形成する工程は、絶縁性の保護膜を形成する工程を含んでおり、上記保護膜を形成する工程では、少なくとも上記ボンディングパッドと重なる領域内の上記配線上の保護膜が、隣合う配線上の保護膜と橋架するように上記保護膜を形成する方法である。

【0135】

これにより、保護膜をブリッジ形状とすることができるので、保護膜の下部にクラックが発生し難くなる効果を奏する。また、橋架する部分の下に空孔部が形成されることになり、該空孔部が空気バネとして機能するから、保護膜の下に形成される配線などの構成要素が損傷することを防止できる効果を奏する。また、保護膜上に衝撃緩衝材としてポリイミド膜を形成する工程が不要となるから、作業効率の低下やチップコストの上昇を防止できる効果を奏する。

【0136】

さらに、本発明の半導体装置の製造方法は、以上のように、上記の方法において、上記導体層上に絶縁膜を形成する工程は、上記保護膜を形成する工程により形成された保護膜を覆うように新たな絶縁膜を形成する工程をさらに含む方法である。

【0137】

これにより、保護膜においてブリッジ形状とはならない部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0138】

さらに、本発明の半導体装置の製造方法は、以上のように、上記の方法において、上記新たな絶縁膜を形成する工程は、化学気相成長法によって上記保護膜を覆うように酸化膜を形成する工程である。

【0139】

これにより、化学気相成長法によって形成された酸化膜から水分の放出が少ないので、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0 1 4 0】

さらに、本発明の半導体装置の製造方法は、以上のように、上記の方法において、上記酸化膜を形成する工程は、ホウ素およびリンの少なくとも一方を含む酸化膜を形成する工程である。

【0 1 4 1】

これにより、ホウ素およびリンの少なくとも一方を含む酸化膜は、常圧の化学気相成長法によって形成することができるから、半導体装置の量産性が向上すると共に、半導体装置の製造コストを低下させる効果を奏する。

【0 1 4 2】

なお、上記の半導体装置の製造方法は、エリアパッドによる半導体装置の製造方法に適用することが効果的である。

【図面の簡単な説明】

【図 1】

本発明の一実施形態である半導体装置における半導体集積回路の概略構成を示す断面図である。

【図 2】

上記半導体集積回路において、隣合う第 2 の配線上の保護膜が橋架している状態を示す断面図である。

【図 3】

上記半導体集積回路の製造工程を説明するための図であり、第 1 配線層の形成工程が完了した後の概略構成を示す断面図である。

【図 4】

上記製造工程を説明するための図であり、層間絶縁膜の形成工程が完了した後の概略構成を示す断面図である。

【図 5】

上記製造工程を説明するための図であり、層間絶縁膜に対する開口部の形成工

程が完了した後の概略構成を示す断面図である。

【図 6】

上記製造工程を説明するための図であり、第 2 配線層の形成工程が完了した後の概略構成を示す断面図である。

【図 7】

上記製造工程を説明するための図であり、保護膜の形成工程が完了した後の概略構成を示す断面図である。

【図 8】

上記製造工程を説明するための図であり、絶縁膜の形成工程が完了した後の概略構成を示す断面図である。

【図 9】

上記製造工程を説明するための図であり、絶縁膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 1 0】

上記製造工程を説明するための図であり、保護膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 1 1】

上記半導体集積回路において、保護膜上に絶縁膜を形成しない場合の概略構成を示す断面図である。

【図 1 2】

図 1 1 に示される半導体集積回路における配線の様子を模式的に示す概略平面図である。

【図 1 3】

図 1 2 に示される配線上に保護膜を形成したときの様子を示しており、同図（a）は図 1 2 の A - A' 線における矢視断面図であり、同図（b）は図 1 2 の B - B' 線における矢視断面図である。

【図 1 4】

図 1 2 の A - A' 線における矢視断面図であり、保護膜上にさらにポリイミド膜を形成したときの様子を示している。

【図 1 5】

本発明の他の実施形態である半導体装置における半導体集積回路の概略構成を示す断面図である。

【図 1 6】

本発明のさらに他の実施形態である半導体装置における半導体集積回路の概略構成を示しており、同図（a）は前記半導体集積回路における配線の様子を模式的に示す概略平面図であり、同図（b）は同図（a）の C - C' 線における矢視断面図である。

【図 1 7】

従来の半導体装置の一例における半導体集積回路の概略構成を示す断面図である。

【図 1 8】

上記半導体集積回路の製造工程を説明するための図であり、第 1 配線層の形成工程が完了した後の概略構成を示す断面図である。

【図 1 9】

上記製造工程を説明するための図であり、層間絶縁膜の形成工程が完了した後の概略構成を示す断面図である。

【図 2 0】

上記製造工程を説明するための図であり、層間絶縁膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 2 1】

上記製造工程を説明するための図であり、第 2 配線層の形成工程が完了した後の概略構成を示す断面図である。

【図 2 2】

上記製造工程を説明するための図であり、保護膜の形成工程が完了した後の概略構成を示す断面図である。

【図 2 3】

上記製造工程を説明するための図であり、保護膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 2 4】

上記製造工程を説明するための図であり、衝撃緩衝膜の形成工程が完了した後の概略構成を示す断面図である。

【図 2 5】

上記製造工程を説明するための図であり、衝撃緩衝膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 2 6】

従来の半導体装置の他の一例における半導体集積回路の概略を示す図であり、同図（a）は前記半導体集積回路における配線の様子を模式的に示す概略平面図であり、同図（b）は同図（a）の D-D' 線における矢視断面図である。

【図 2 7】

図 2 6 の半導体集積回路における保護膜がオーバーハング形状となっている凸部付近を拡大して示す部分断面図である。

【図 2 8】

図 2 7 に示される保護膜上にボンディングパッドを形成して実装した後の概略構成を示す断面図であり、

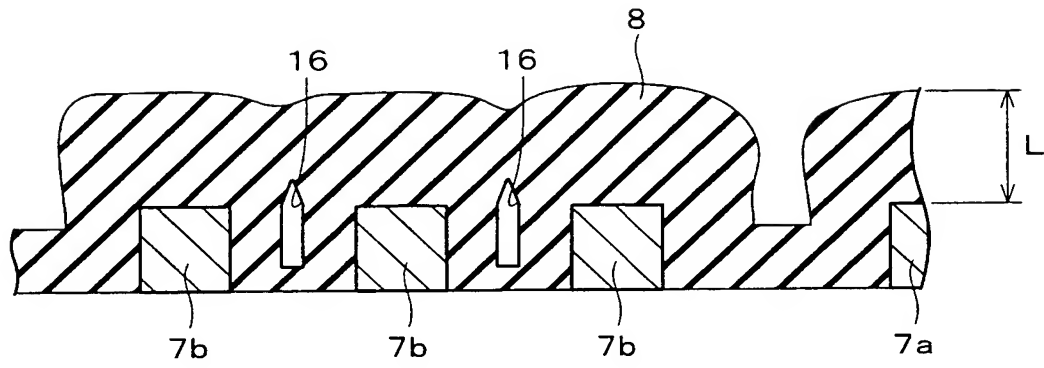
【符号の説明】

- 1 半導体基板
- 2 第 1 配線層
- 6 層間絶縁膜
- 6 a 開口部（ビアホール）
- 7 第 2 配線層（導体層）
- 7 a ~ 7 c 第 2 の配線
- 8 保護膜
- 9 開口部
- 1 4 ボンディングパッド
- 1 5 S O G 膜（絶縁膜）
- 1 6 空孔部
- 1 7 開口部

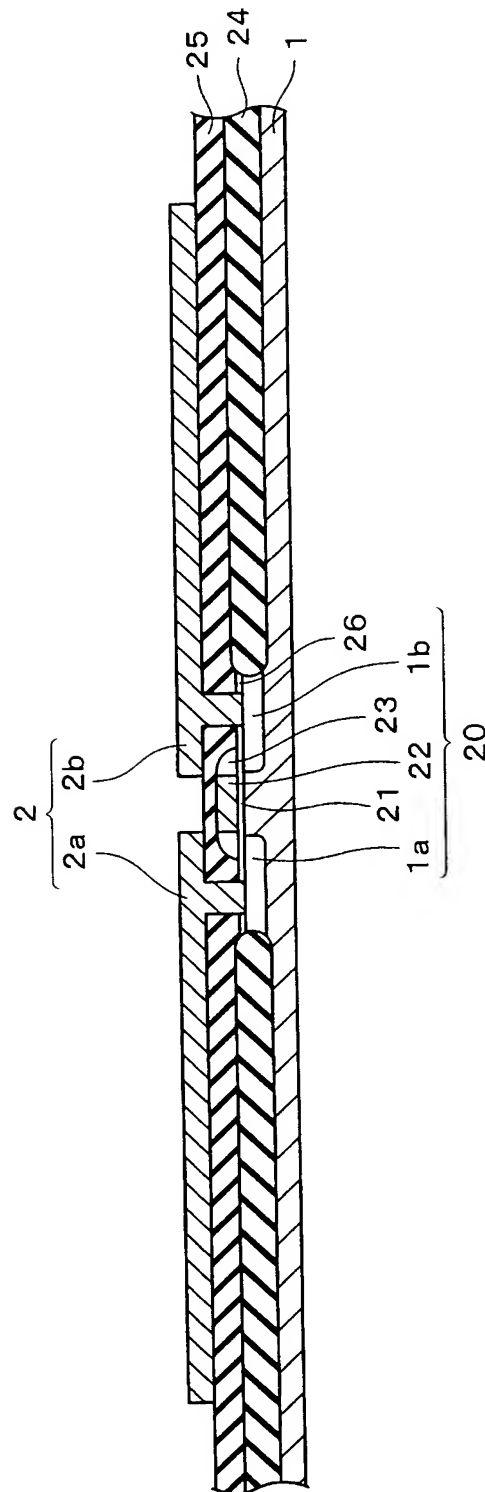
2 0 半導体素子

3 0 C V D 酸化膜

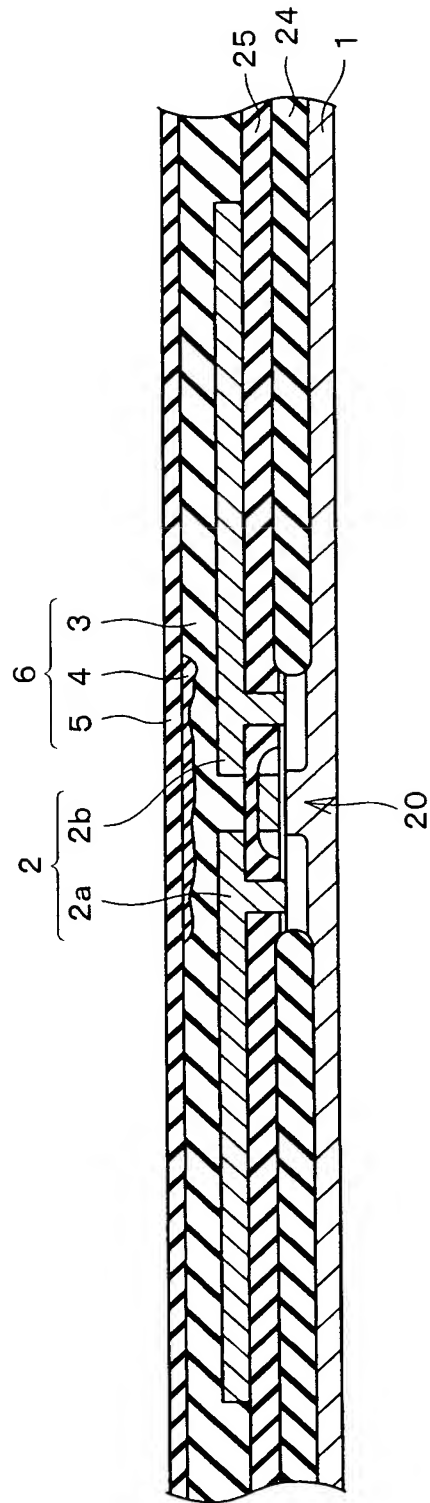
【図 2】



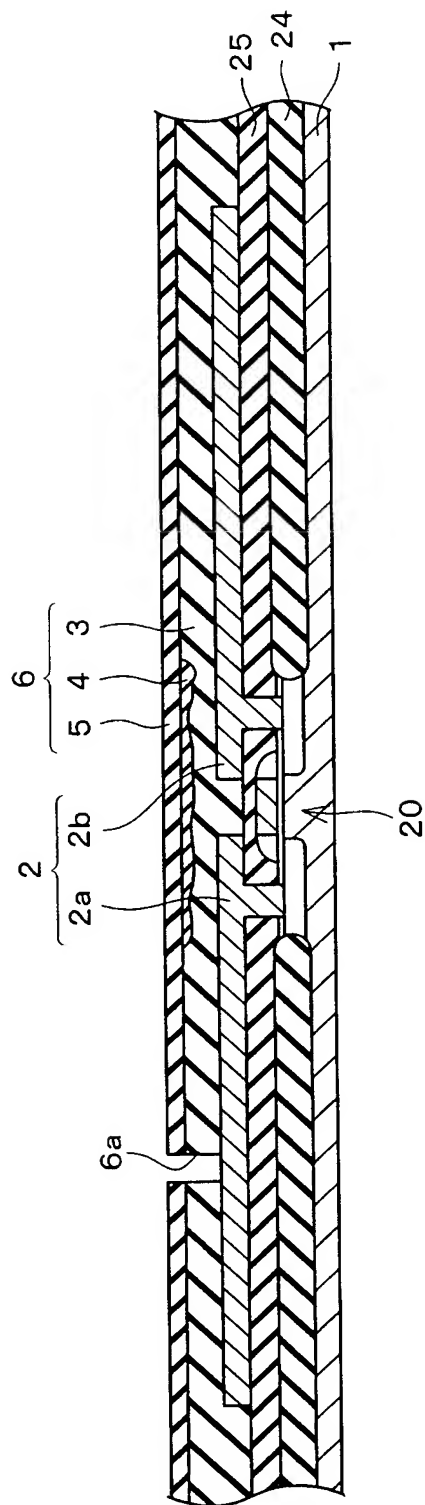
【図 3】



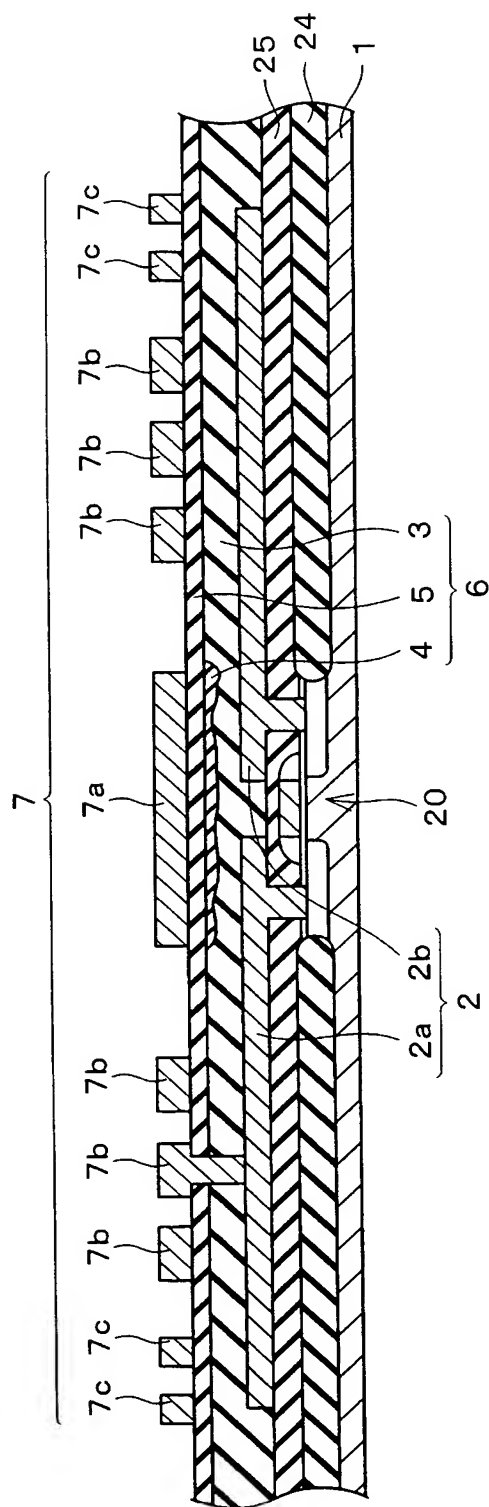
【図 4】



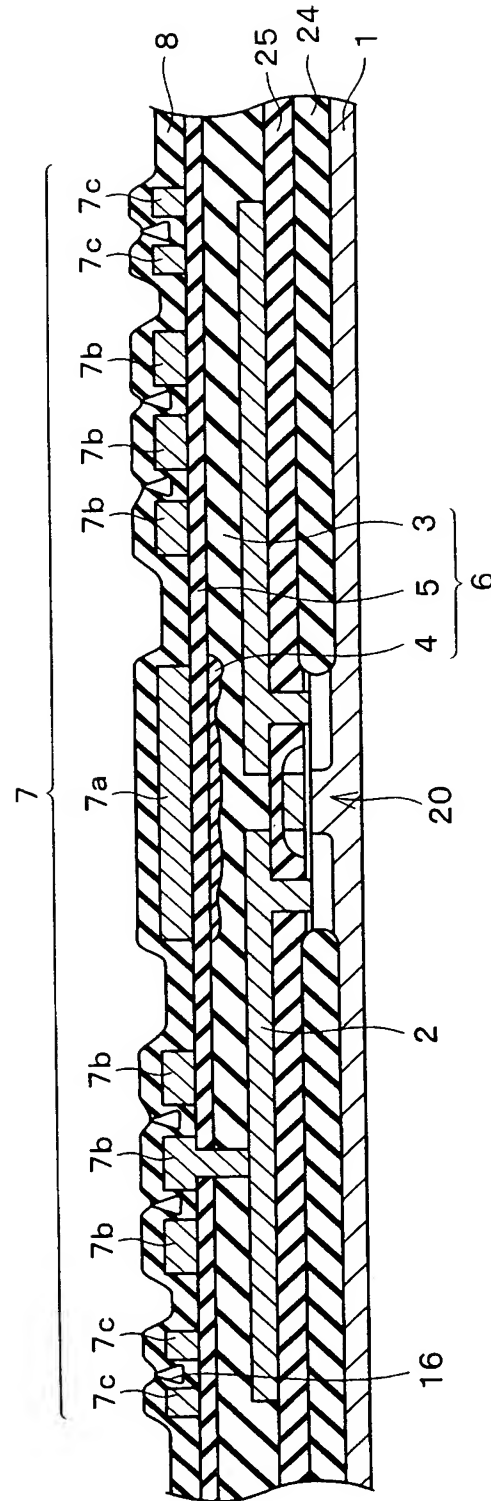
【図 5】



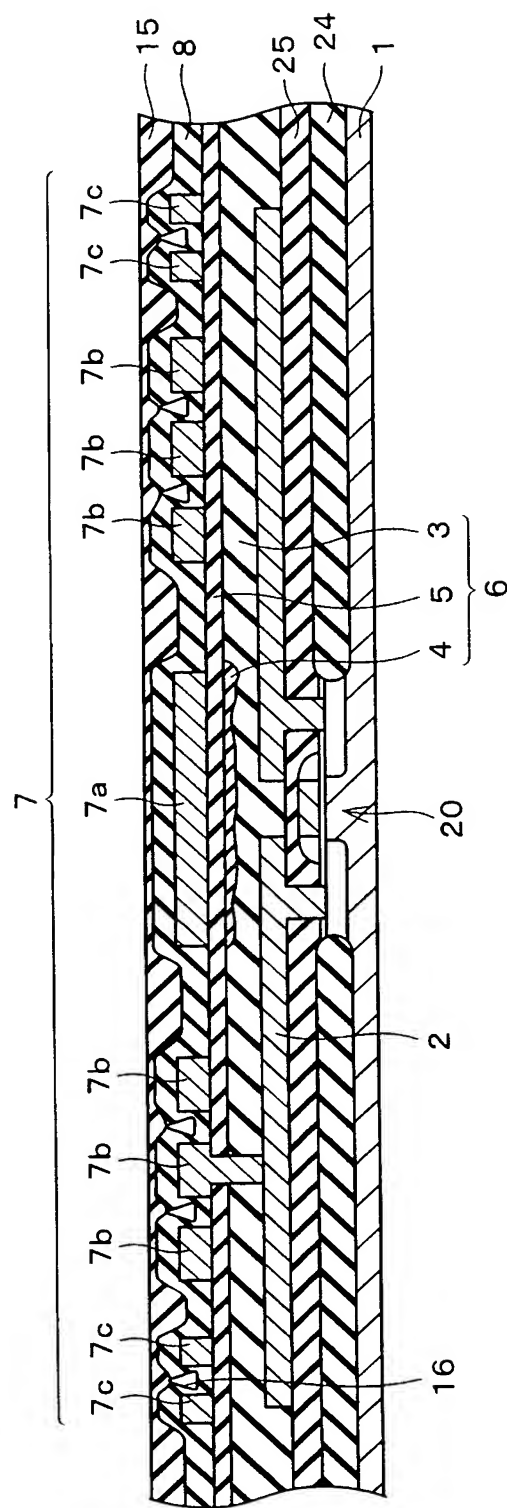
【図 6】



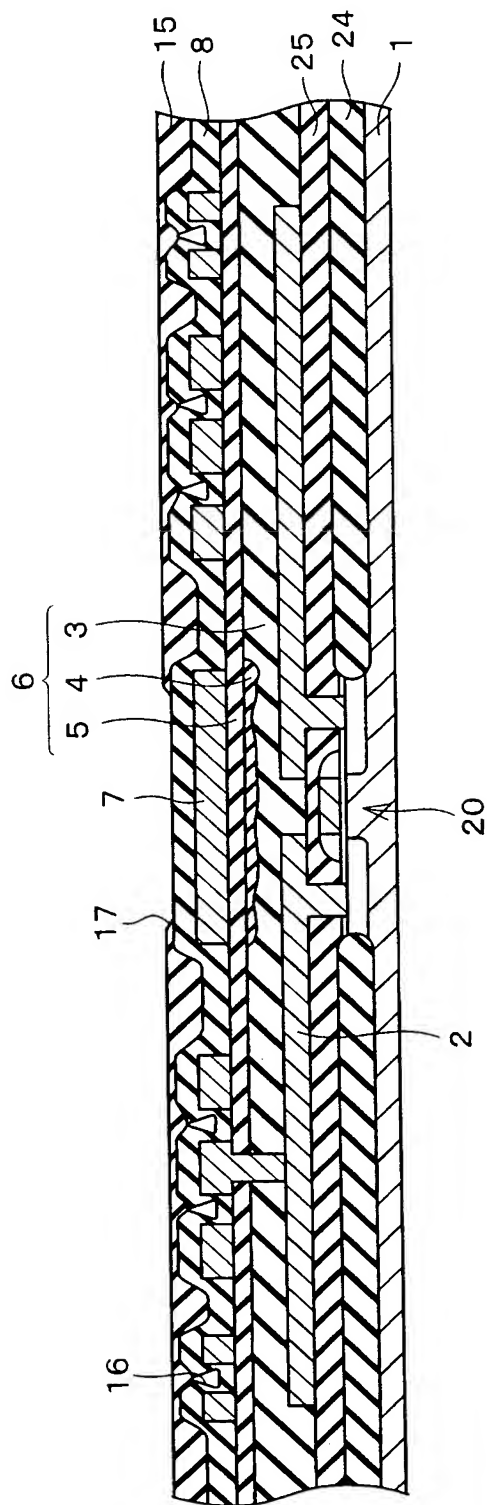
【圖 7】



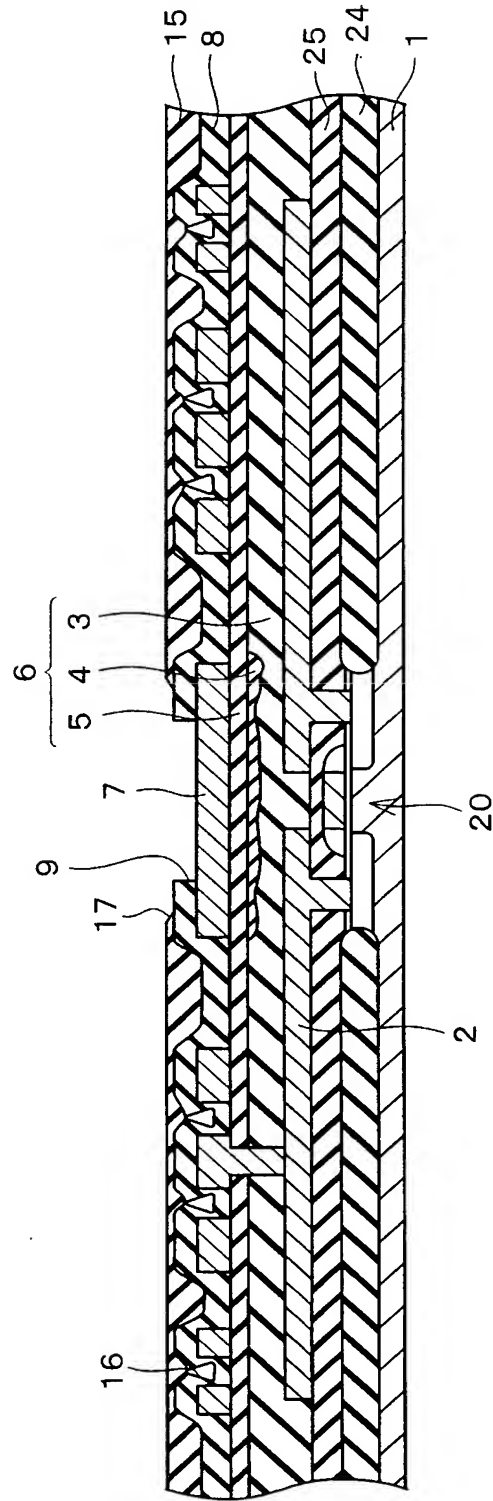
【図 8】



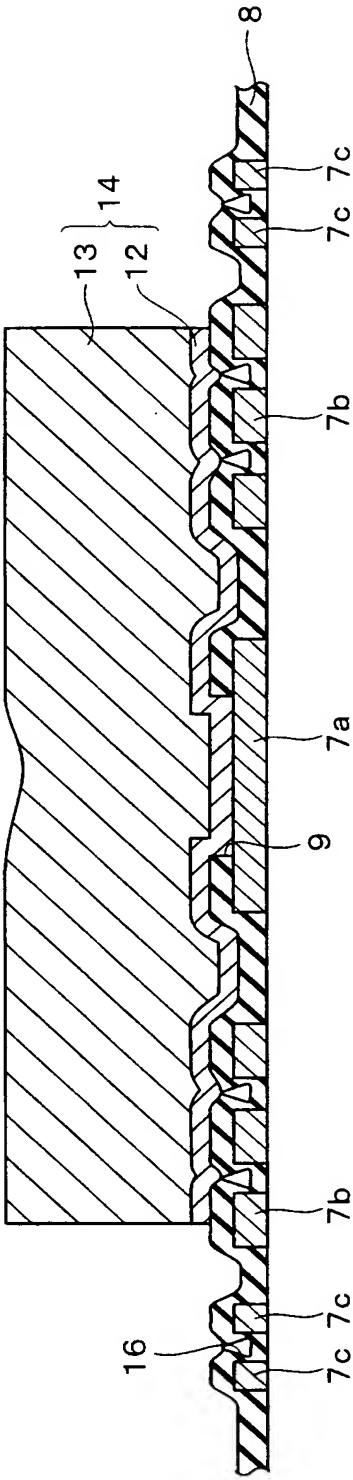
【図 9】



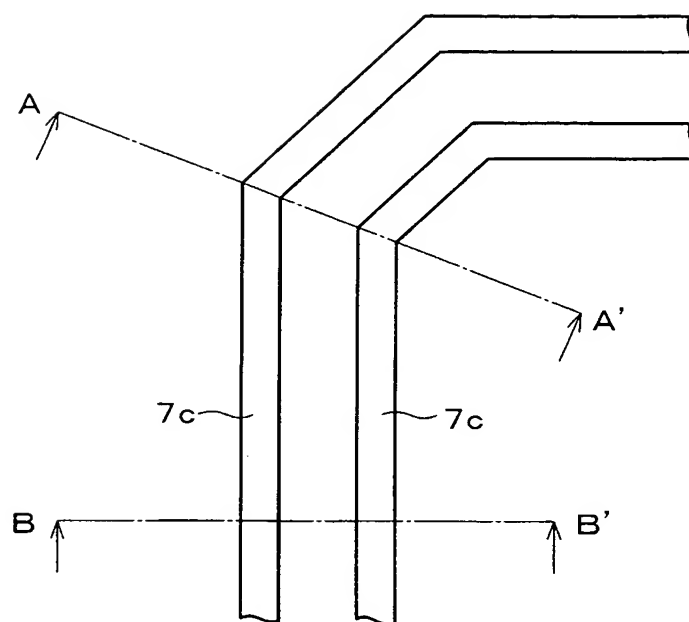
【図 10】



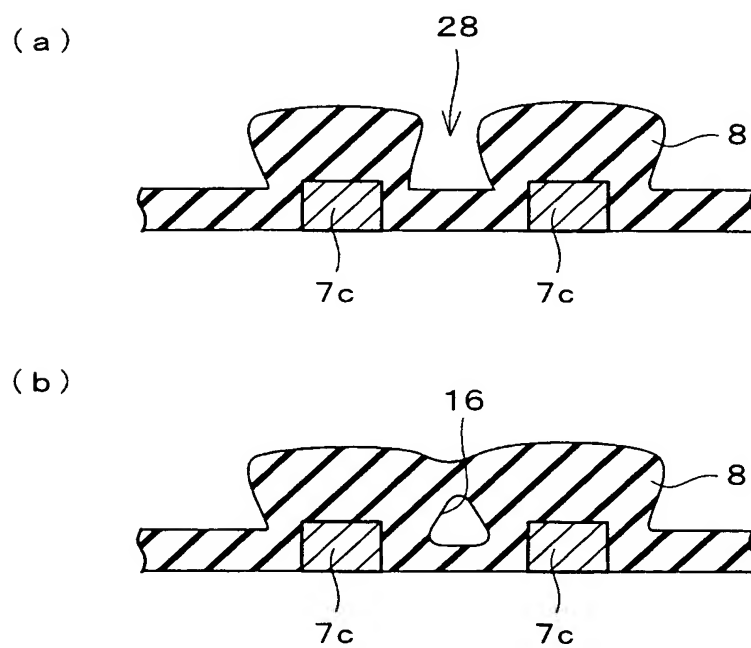
【図 11】



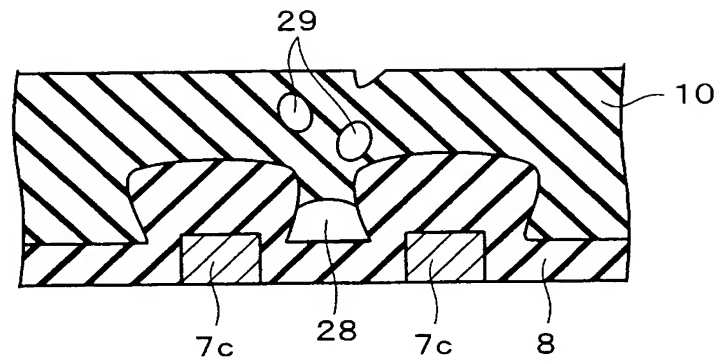
【図 12】



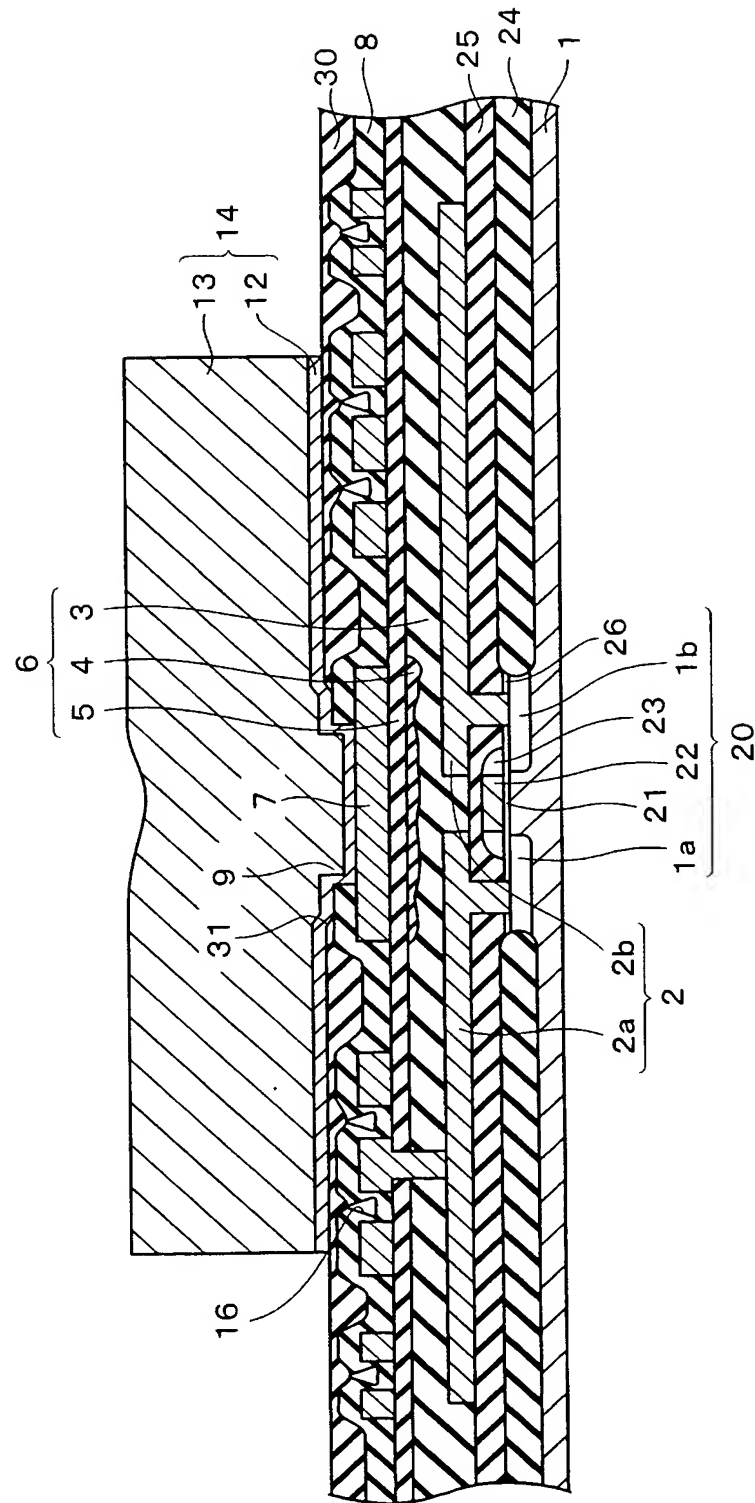
【図 13】



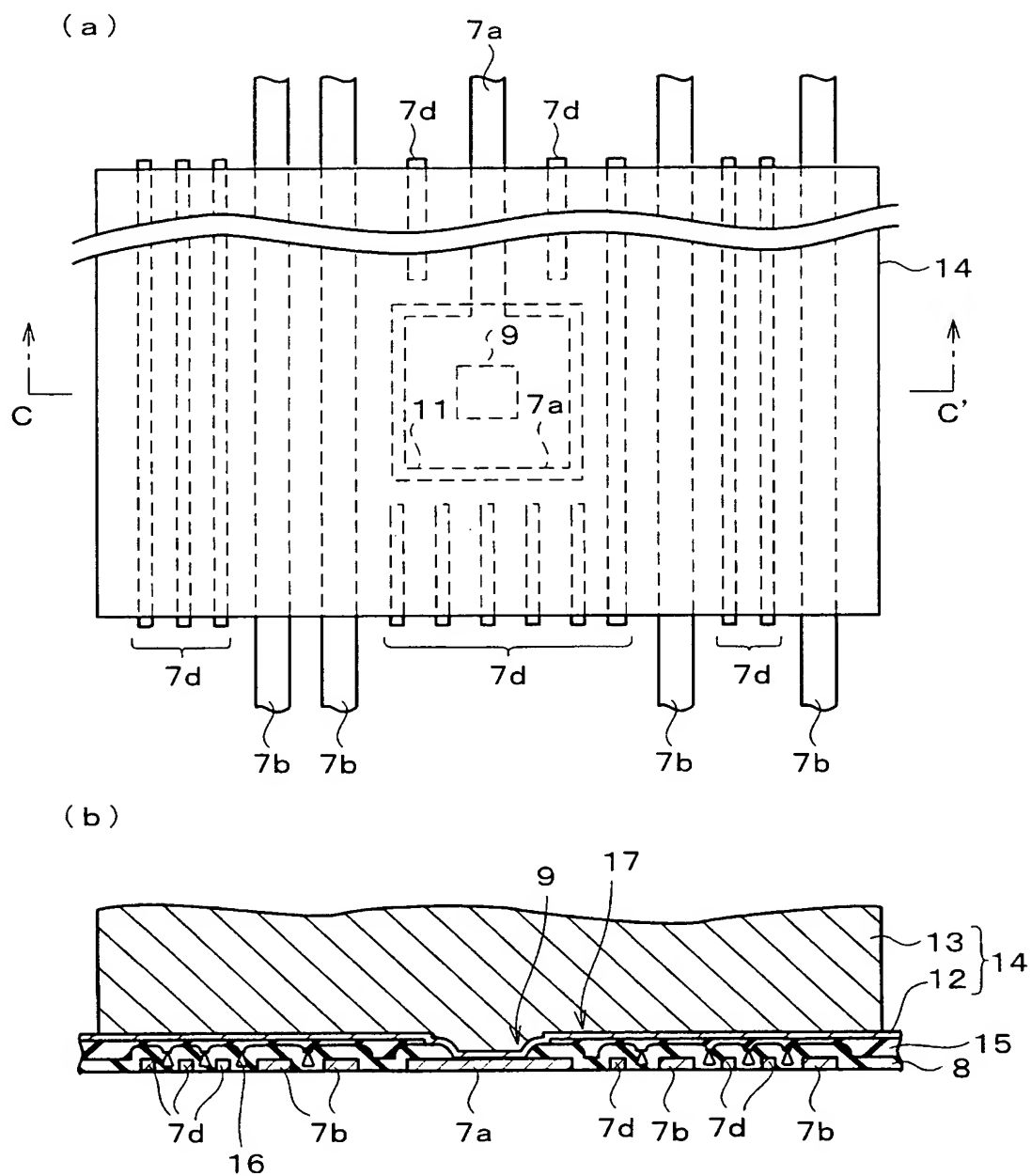
【図 14】



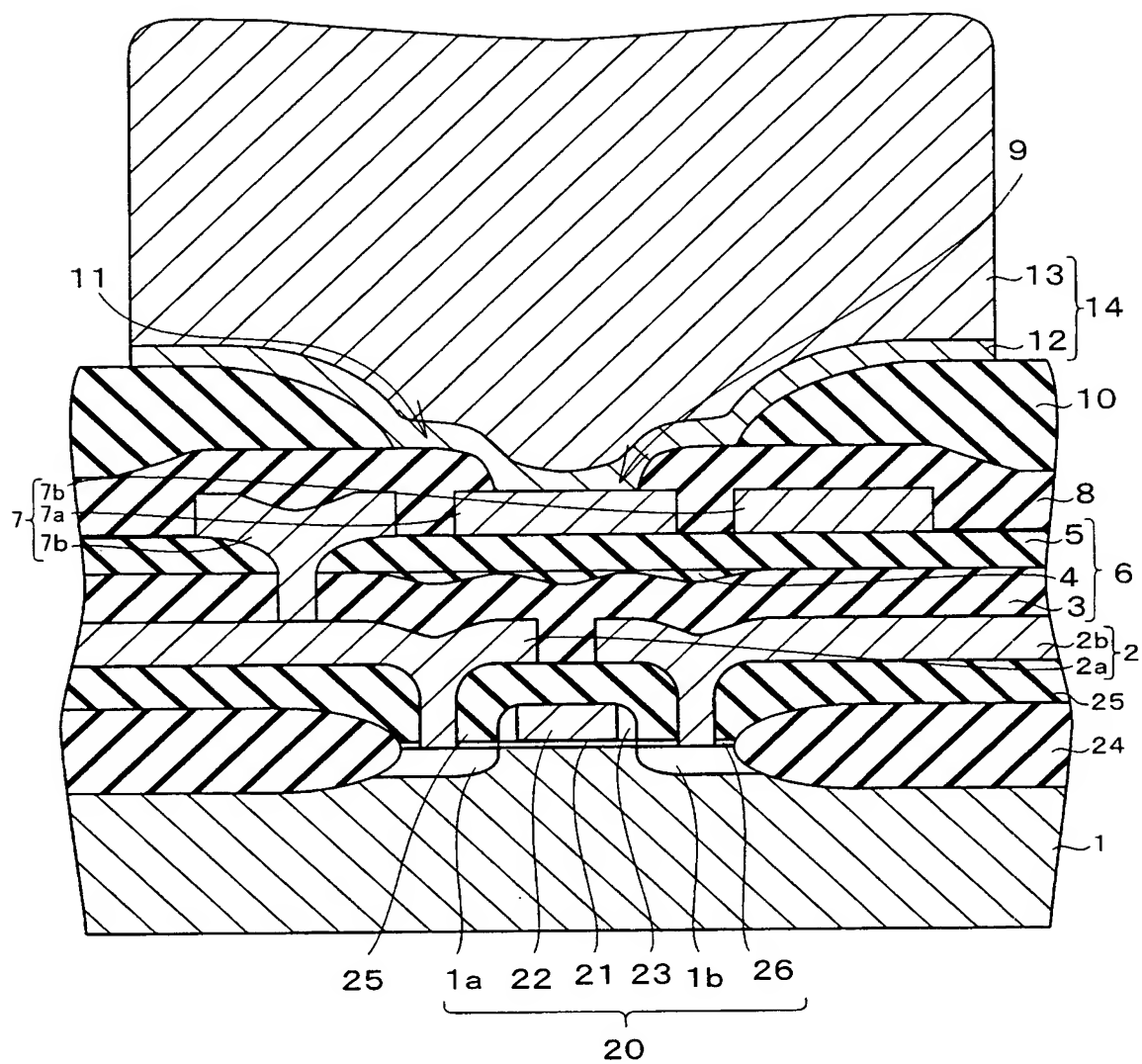
【図 15】



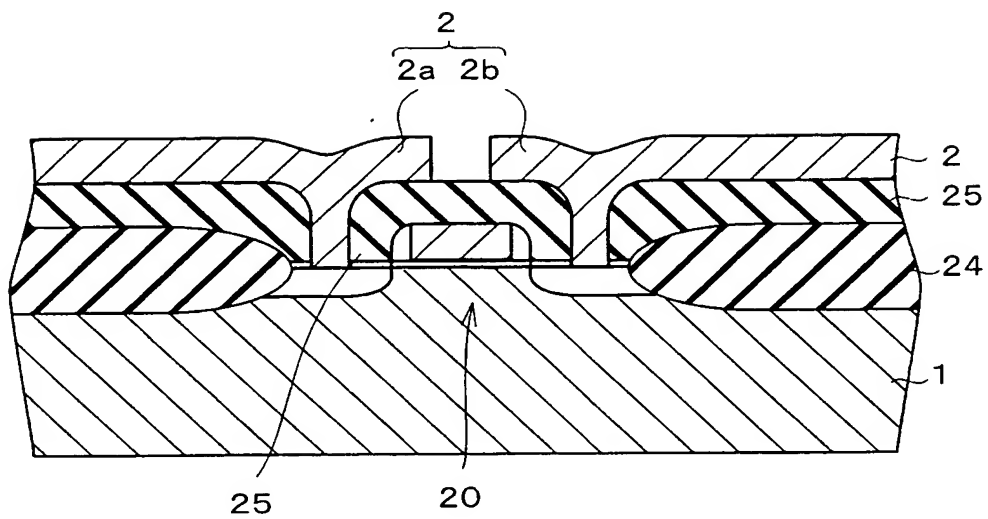
【図 16】



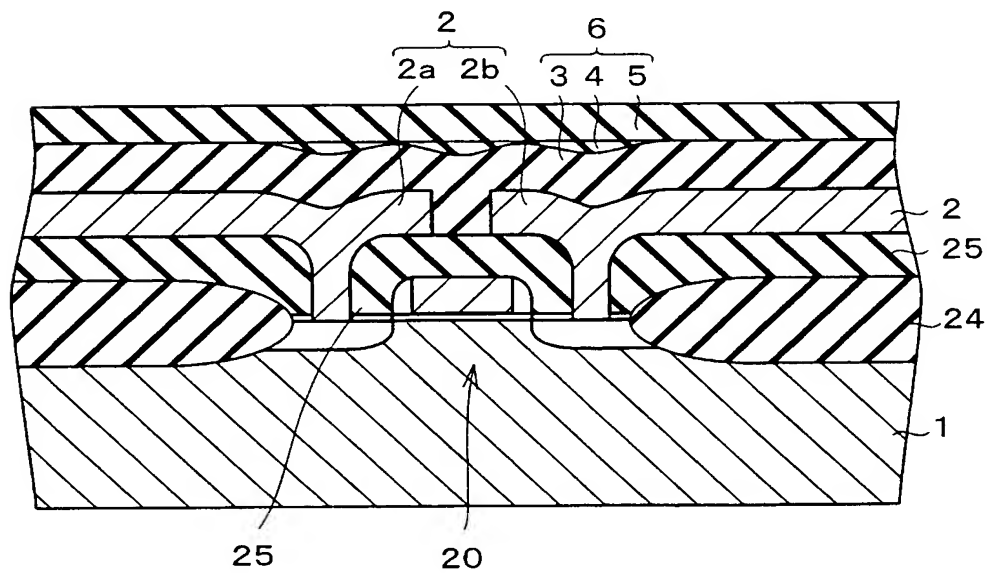
【図 17】



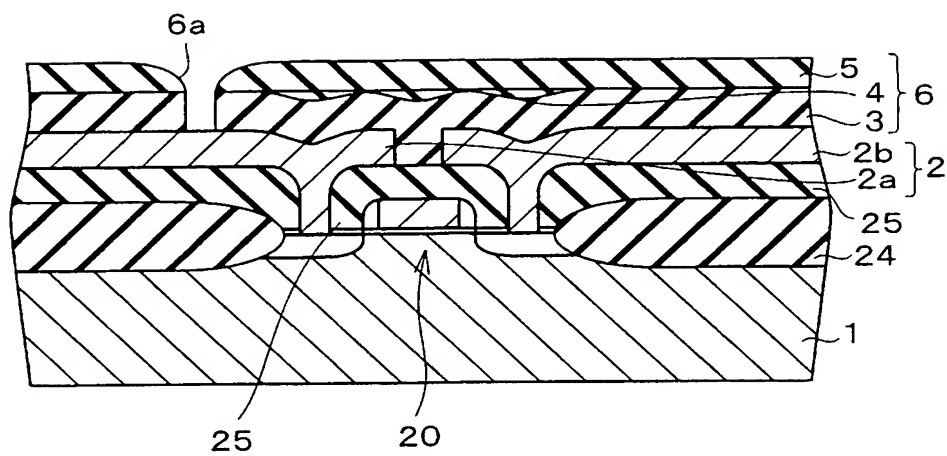
【図 18】



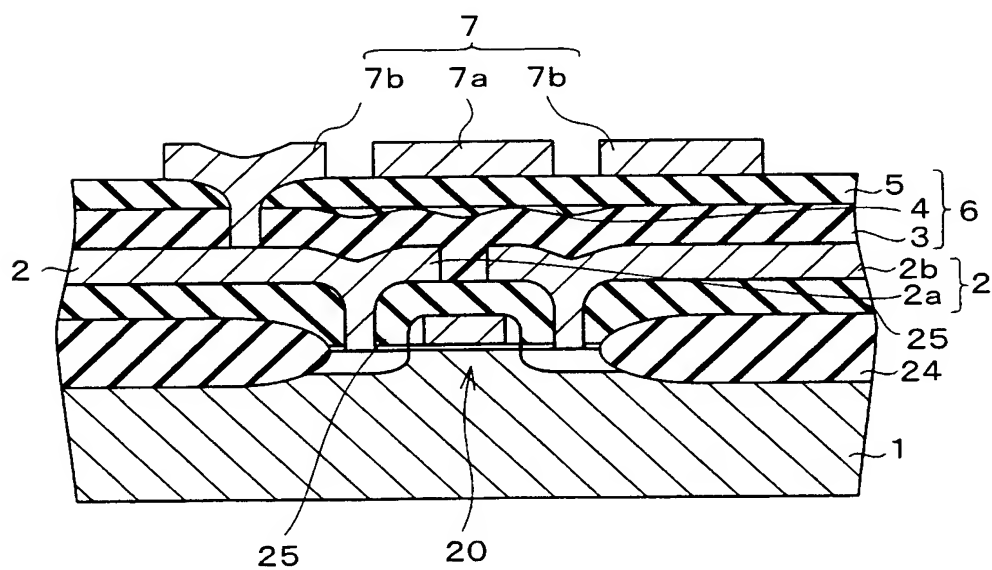
【図 19】



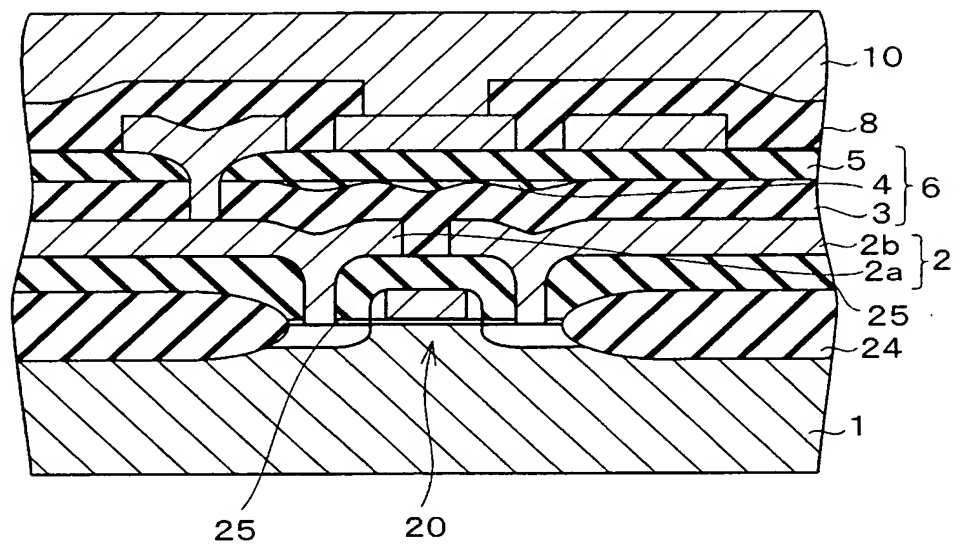
【図 20】



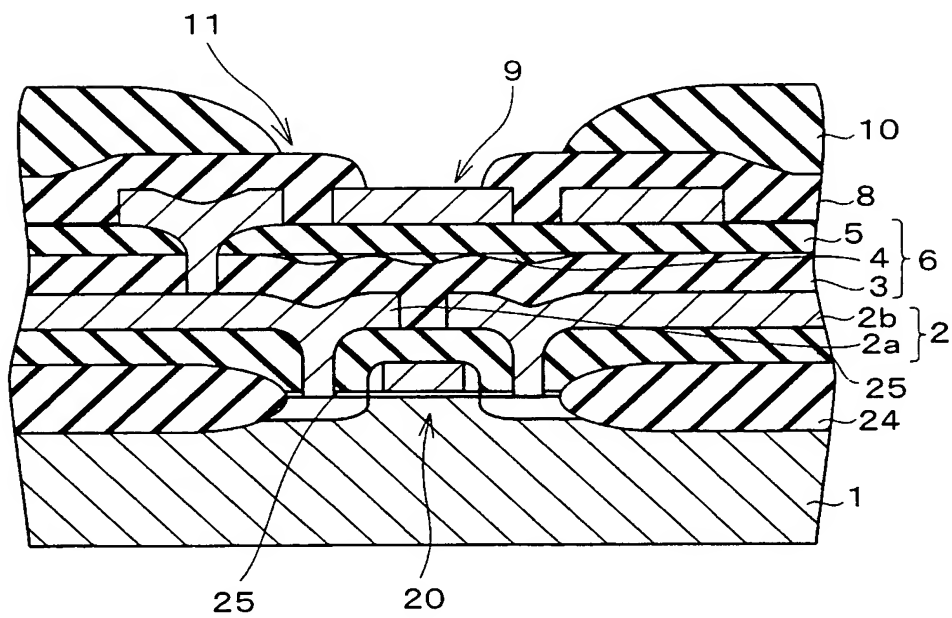
【図 21】



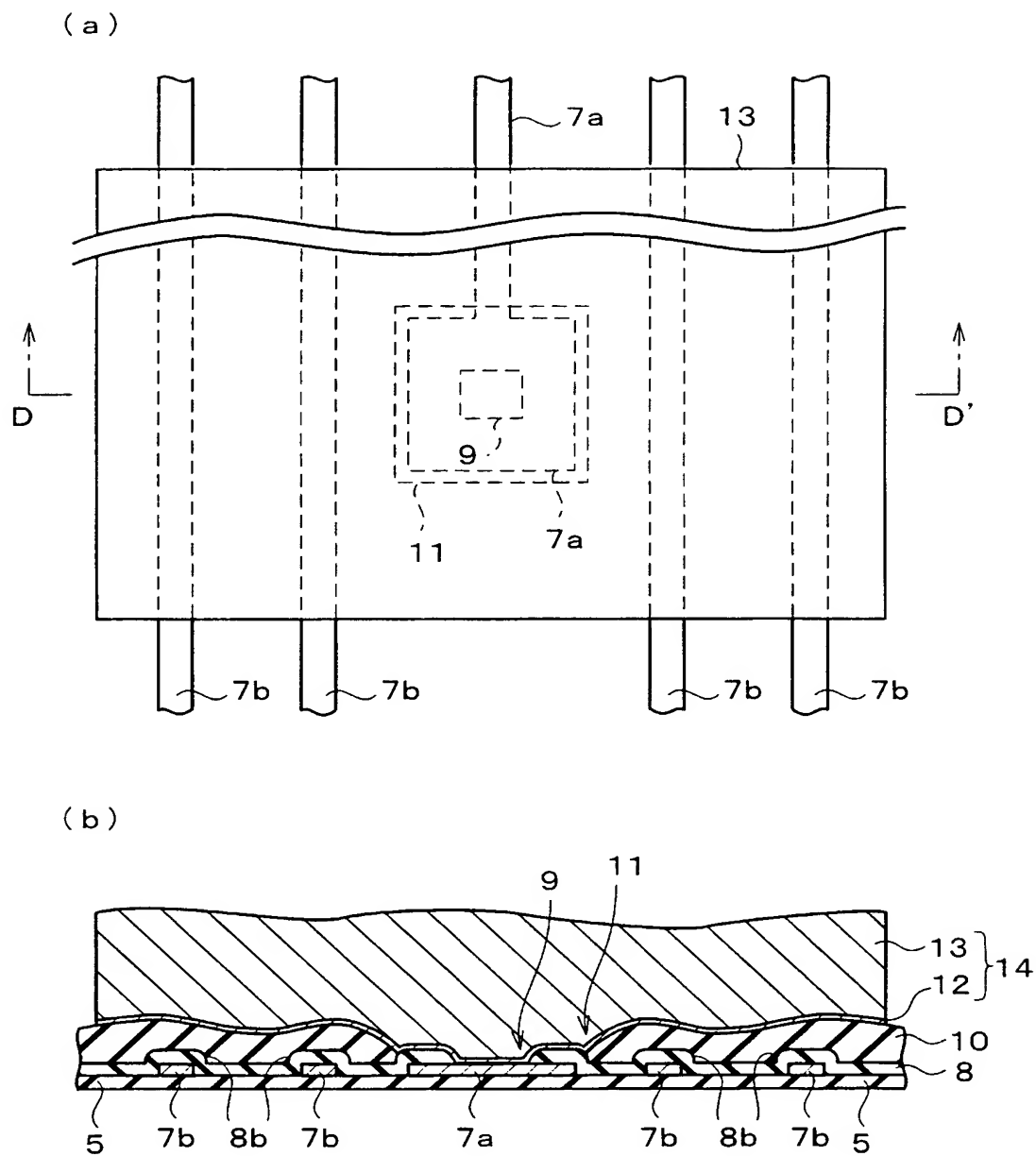
【図 24】



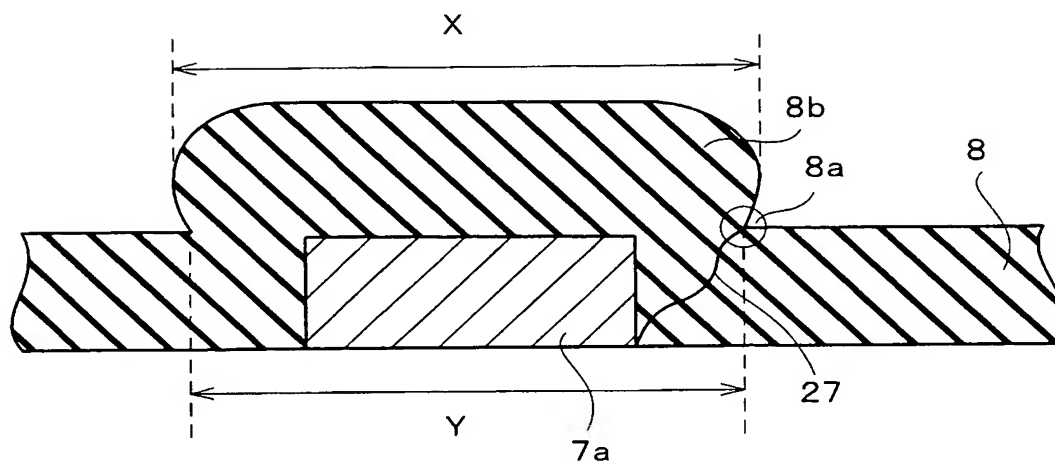
【図 25】



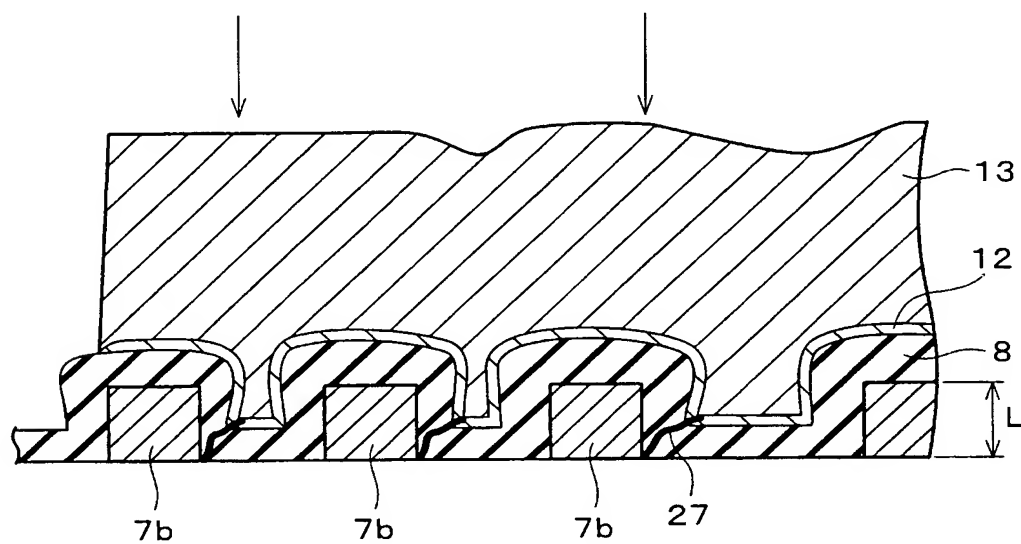
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 作業効率の低下やチップコストの上昇を招くことなく、上方からの応力による損傷を防止できる半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置は、複数の配線が形成された導体層 7 と、導体層 7 の複数の配線と重なる領域に形成されたボンディングパッド 1 4 とを備える。配線の一部がボンディングパッド 1 4 と接合される一方、配線の他の部分とボンディングパッド 1 4 との間に絶縁性の保護膜 8 が形成されている。少なくともボンディングパッド 1 4 と重なる領域内の上記配線上の保護膜 8 は、隣合う配線上の保護膜 8 と橋架している。

【選択図】 図 1

特願 2 0 0 2 - 3 3 2 8 0 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社